

СИНТЕЗ САМОПРОВЕРЯЕМЫХ ДИСКРЕТНЫХ УСТРОЙСТВ С ИСПОЛЬЗОВАНИЕМ СВОЙСТВ КОДОВ ПАРИТЕТА И САМОДВОЙСТВЕННЫХ БУЛЕВЫХ ФУНКЦИЙ

ЕФАНОВ Дмитрий Викторович, д-р техн. наук, профессор, действительный член Международной Академии транспорта, член Института инженеров электротехники и электроники, профессор^{1, 2, 3, 4}, ведущий научный сотрудник⁵; e-mail: TrES-4b@yandex.ru

¹ Санкт-Петербургский политехнический университет Петра Великого, Высшая школа управления киберфизическими системами, Институт компьютерных наук и кибербезопасности, Санкт-Петербург

² Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта, Институт машиностроения, материалов и транспорта, Санкт-Петербург

³ Российский университет транспорта (МИИТ), кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте», Москва

⁴ Ташкентский государственный транспортный университет, кафедра «Автоматика и телемеханика», Ташкент

⁵ Институт проблем транспорта им. Н. С. Соломенко Российской Академии наук, лаборатория проблем организации транспортных систем (лаборатория № 5), Санкт-Петербург

В статье показано, что известная структура организации схем встроенного контроля по признаку самодвойственности с предварительным сжатием сигналов от объекта диагностирования с использованием функции паритета (модифицированная структура контроля по паритету) позволяет строить полностью самопроверяемые дискретные устройства не для любых исходных объектов. Доказано, что при контроле вычислений по признаку самодвойственности с предварительным сжатием сигналов от объекта диагностирования по паритету неисправности элементов сложения по модулю 2 в кодере кода паритета не обнаруживаются в том случае, если не меняется четность подвектора информационного вектора, генерируемого на выходах, связанных путями с отказавшим элементом. Это обстоятельство накладывает ограничения на использование известной модифицированной структуры контроля по паритету при синтезе самопроверяемых дискретных устройств. В статье предложена еще одна модификация структуры контроля по паритету, позволяющая нивелировать отмеченный недостаток известной структуры за счет контроля вычислений и по паритету, и по принадлежности функции, описывающей контрольный выход, классу самодвойственных булевых функций. При незначительном усложнении схемы встроенного контроля по сравнению со схемой контроля по паритету удастся существенно повысить характеристики контролепригодности. Дальнейшие исследования новой модифицированной структуры организации схем встроенного контроля по паритету позволят определить критерии ее применимости при синтезе самопроверяемых дискретных устройств.

Ключевые слова: обнаружение неисправностей в дискретных устройствах; самопроверяемое дискретное устройство; контроль самодвойственности булевых функций; контроль вычислений по паритету; самопроверяемая схема встроенного контроля; тестируемость компонентов схем контроля.

DOI: 10.20295/2412-9186-2025-11-03-264-279

▼ Введение

Обнаружение неисправностей и ошибок в дискретных системах управления — ключевое свойство для бесперебойной работы. На вопрос синтеза надежных дискретных устройств внимание обращают с момента возникновения самой теории. Например, упоминание об этом можно найти в классической монографии В. М. Глушкова (первое издание 1962 года) [1]. В современной науке известно большое количество методов, направленных на создание устройств со своевременным

обнаружением неисправностей. Данного свойства добиваются различными методами контролепригодного проектирования, тестового и рабочего (функционального) диагностирования на этапе разработки и конструирования дискретных устройств, являющихся составляющими систем ответственного назначения [2–5].

Так или иначе ценой возможности обнаружения неисправностей и ошибок в вычислениях является внесение избыточности в аппаратные и/или программные средства по отношению

к минимально необходимым для выполнения требуемых алгоритмов [6, 7]. При наделении дискретных устройств свойствами обнаружения неисправностей часто исходят из их автоматных моделей и вносят избыточность путем помехозащищенного или помехоустойчивого кодирования входов, выходов и внутренних состояний конечного автомата с последующим контролем вычислений с помощью тестеров [8]. Другим подходом к организации контроля неисправностей является снабжение комбинационных составляющих автоматов схемами встроенного контроля (СВК) [9] и отдельное тестирование элементов памяти в специальные промежутки времени, когда дискретное устройство не используется по назначению [10]. Таким образом, избыточность либо вносится в само дискретное устройство, либо приводит к использованию внешних средств технического диагностирования.

При синтезе СВК для дискретных устройств повсеместно применяются методы теории информации и кодирования. Так, дискретное устройство отождествляется с некоторым каналом передачи данных, а сигналы на параллельных рабочих или контрольных выходах дискретных устройств представляются в виде булевых векторов и кодовых слов заранее выбранных кодов [11–13]. Далее СВК строится исходя из возможности фиксации ошибок в кодовых словах выбранным двоичным равномерным блоковым кодом. Широкое распространение при синтезе СВК получили равномерные блоковые коды с малой избыточностью, так как число проверочных символов в значительной степени влияет на показатели структурной избыточности конечного самопроверяемого устройства [14, 15]. Помимо диагностического признака принадлежности формируемых кодовых слов выбранным равномерным блоковым кодам часто используется контроль принадлежности вычисляемых на выходах устройств булевых функций особым классам булевых функций, например линейным, монотонным, самодвойственным и «близким» к ним [16–19].

Настоящая статья знакомит читателя с методом синтеза СВК, позволяющим одновременно использовать два диагностических признака для контроля вычислений — принадлежности

формируемых кодовых слов хорошо известному коду паритета [1] и принадлежности функции, описывающей контрольный выход в СВК, к классу самодвойственных булевых функций [20]. В статье показано, зачем необходима такая модернизация известных структур организации СВК и что это дает на практике.

1. Структура организации контроля вычислений по признаку самодвойственности со сжатием сигналов на основе свертки по модулю 2

В [21, 22] предложена структура организации контроля вычислений по признаку самодвойственности вычисляемой в СВК булевой функции. Она изображена на рис. 1 и является модификацией известной во всем мире СВК по паритету [23, 24].

СВК строится для устройства $F(X)$, реализующего систему булевых функций $f_1(X), f_2(X), \dots, f_{m-1}(X), f_m(X)$ на 2^t наборах значений аргументов $\langle X \rangle = \langle x_t x_{t-1} \dots x_2 x_1 \rangle$. Для контроля вычислений в СВК используется предварительное сжатие сигналов от блока $F(X)$ в один контролируемый сигнал $g(X)$. Сжатие осуществляется с использованием кодера кода паритета — устройства $G(F)$, реализующего функцию:

$$g(X) = f_1(X) \oplus f_2(X) \oplus \dots \oplus f_{m-1}(X) \oplus f_m(X). \quad (1)$$

Затем функция (1) в блоке коррекции сигналов (БКС) трансформируется в любую самодвойственную функцию $g^\delta(X)$ по правилу:

$$g^\delta(X) = \delta(X) \oplus g(X), \quad (2)$$

где $\delta(X)$ — функция коррекции сигнала, вычисляемая блоком $\Delta(X)$.

Для контроля вычислений используется элементарный тестер самодвойственного сигнала — устройство SDC (self-dual checker) [25]. При поступлении на входы самодвойственного сигнала данное устройство фиксирует на выходах $z^0(X)$ и $z^1(X)$ парафазный сигнал $\langle 01 \rangle$ либо $\langle 10 \rangle$. Непарафазность выходного сигнала свидетельствует либо о внутренних неисправностях SDC , либо о нарушении самодвойственности сигналов на его входах. Последнее событие

возникает при наличии неисправностей или ошибок в вычислениях на выходах остальных компонентов СВК либо объекта диагностирования. Так фиксируются неисправности в описанной структуре.

Для ее работы необходима временная избыточность и импульсный характер подачи наборов значений аргументов [26]. Такой режим реализуется за счет использования генератора G прямоугольных импульсов a со скважностью 2. За счет использования каскада двухходовых элементов сложения по модулю 2 (XOR), выходы которого подключаются к входам объекта диагностирования и СВК, сигналы логической 0 и логической 1 преобразуются в последовательности импульсов 0101...01 и 1010...10. На первые входы каждого XOR подаются двоичные переменные $x_1, x_2, \dots, x_{t-1}, x_t$, а на вторые — сигнал a . Таким образом, на входы устройства $F(X)$ и СВК подаются последовательности импульсов: $x_i^a = x_i \oplus a, i = \overline{1, m}$. Также сигнал от генератора G требуется для работы SDC . Более подробно останавливаться на описании особенностей работы структуры, изображенной на рис. 1, не

будем, ссылаясь, например, на статью [27] и монографию [28], где этому уделено достаточное внимание.

Неисправности в описанной структуре обнаруживаются на парах наборов значений аргументов, отличающихся во всех разрядах, — на парах инверсных комбинаций $(\langle x_t, x_{t-1} \dots x_2, x_1 \rangle, \langle \overline{x_t}, \overline{x_{t-1}} \dots \overline{x_2}, \overline{x_1} \rangle) = (\langle X \rangle, \langle \overline{X} \rangle)$. Первая комбинация в каждой такой паре является рабочей, а вторая — контрольной. Благодаря устройству СВК именно таким образом, как это описано выше, функция $g^\delta(X)$ на первой такой комбинации принимает значение 0 или 1, а на второй — 1 или 0 соответственно. Это событие и фиксируется тестером самодвойственности. Далее для упрощения инверсные комбинации будем обозначать парой десятичных чисел, соответствующих двоичным числам, записываемым в наборах значений аргументов: $(i, 2^t - 1 - i), i \in \{0, 1, \dots, 2^{t-1} - 1\}$.

Лемма 1. Ошибка, вызванная неисправностью, будет обнаружена, если она приведет к искажению одного из двух значений функции $g^\delta(X)$ при подаче пары инверсных комбинаций.

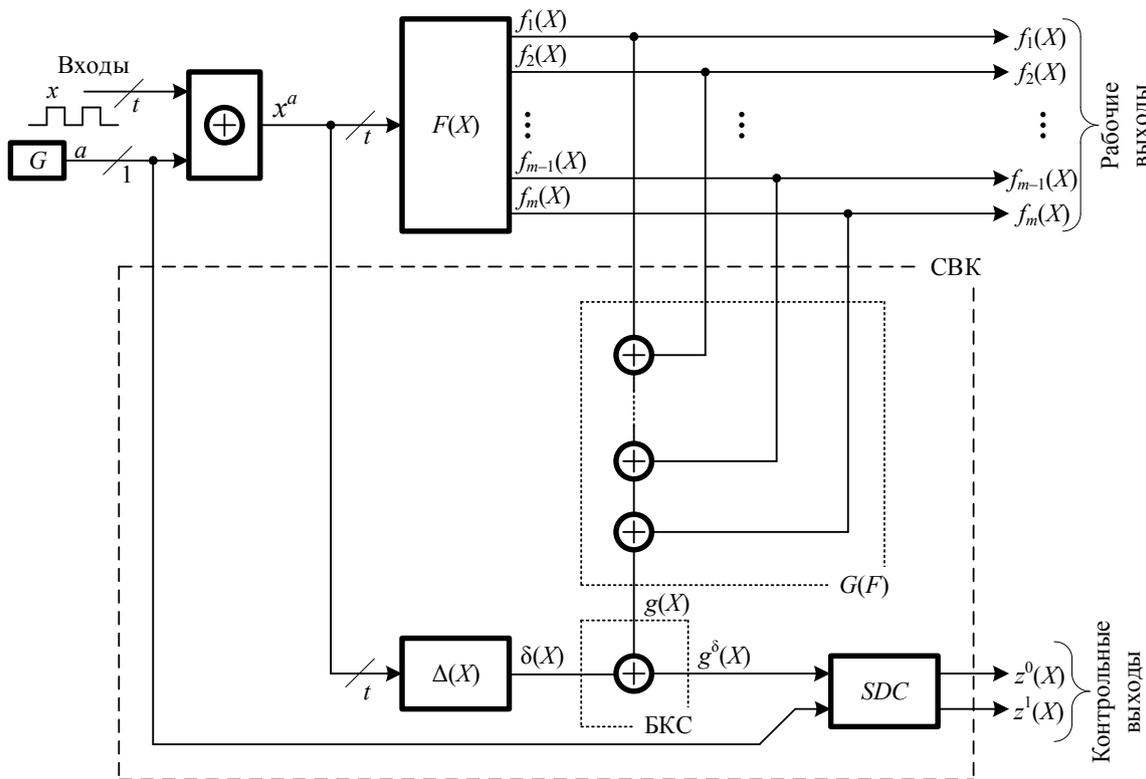


Рис. 1. Структура организации СВК со сжатием сигналов на основе свертки по модулю 2

Лемма 2. Ошибка, вызванная неисправностью, обнаружена не будет, если значение функции $g^\delta(X)$ искажится на обеих комбинациях из подаваемой пары.

Справедливость приведенных положений следует из того, что самодвойственность функции не нарушится в том и только том случае, если функция при подаче на входы пар наборов значений аргументов $(i, 2^t - 1 - i)$ примет противоположные значения. Если она изначально была самодвойственной, то такой случай возможен только при одновременном искажении значений функции на обеих комбинациях из пары.

Здесь следует также отметить, что на выходах объекта диагностирования могут быть реализованы произвольные булевы функции $f_1(X), f_2(X), \dots, f_{m-1}(X), f_m(X)$. Такое уточнение возникает, поскольку, например, при непосредственном контроле вычислений на выходах объекта диагностирования с помощью *SDC* потребуются предварительное преобразование каждой функции в самодвойственную [27].

Структура, приведенная на рис. 1, обладает следующей ключевой особенностью: в отличие от традиционной СВК с контролем вычислений по паритету [23, 24], за счет использования логической коррекции сигнала (ЛКС) от схемы сжатия по паритету возможно построение колоссального количества блоков вычисления функции $\delta(X)$ коррекции сигналов и выбор среди них такого блока, который будет иметь наименьшие показатели сложности технической реализации. Число способов преобразования единственной функции паритета $g(X)$ в самодвойственную функцию $g^\delta(X)$ на 2^t наборах значений аргументов равно $2^{2^{t-1}}$. Среди этого количества может быть выбран наиболее простой вариант в заданной метрике (например, по числу входов использованных логических элементов, показателям площади, занимаемой устройством на кристалле, или же по числу транзисторов, необходимых для реализации; возможно использование и иных метрик)¹.

¹ Здесь следует дать некоторое уточнение. Число вариантов преобразований зависит от числа t аргументов. При $t = 5$ оно составляет 65 536, а при $t = 10$ — $1,3408 \cdot 10^{154}$. Поэтому на практике целесообразно либо рассматривать наилучшие варианты организации СВК по зафиксированному критерию из псевдослучайного подмножества вариантов фиксированной мощности, либо использовать зафиксированные зависимости между функциями $\delta(X)$ и $g(X)$ (некоторые из них представлены в § 3 статьи [22]).

В [22] в эксперименте с тестовыми комбинационными схемами MCNC Benchmarks показано, что использование структуры рис. 1 при незначительном ухудшении обнаруживающих способностей в среднем на 1,7 % по сравнению с традиционным контролем вычислений по паритету позволяет уменьшать показатели структурной избыточности на 60 % по сравнению с ним. Это является весомым преимуществом использования структуры контроля вычислений по признаку самодвойственности с предварительным сжатием сигналов от объекта диагностирования с использованием функции паритета².

Покажем далее, однако, что рассматриваемая на рис. 1 структура не лишена недостатков, и при определенных особенностях объекта диагностирования (конкретнее, особенностях реализуемых им функций) окажется невозможным тестирование элементов кодера $G(F)$.

2. Особенности обнаружения ошибок в структуре организации контроля вычислений по признаку самодвойственности со сжатием сигналов на основе функции паритета

К сожалению, в § 6 статьи [22] не обсуждаются детали относительно особенностей идентифицируемых и неидентифицируемых ошибок на выходах тестовых схем: например, нет указания на то, какое количество ошибок не обнаружено именно на выходах объекта диагностирования $F(X)$, а какое — на выходах устройства $G(F)$. Исследования автора настоящей статьи показывают, что в этом кроется один из основных аспектов, влияющих на ухудшение обнаруживающих свойств структуры рис. 1.

Действительно, уязвимостью структуры, приведенной на рис. 1, является особенность обнаружения ошибок кодера $G(F)$.

В [29] доказана следующая теорема о тестируемости двухвходовых элементов *XOR*, входящих в структуры кодеров кодов паритета, которая важна для дальнейших рассуждений.

² К слову, авторы данного метода называли его «самодвойственным паритетом», что не совсем точно характеризует его с позиции используемых особенностей предварительного сжатия сигналов — функция $g^\delta(X)$ не является функцией паритета.

Теорема 1. В схемной реализации линейной булевой функции от нечетного числа аргументов, от которых она зависит существенно, при контроле вычислений по признаку самодвойственности не тестируются неисправности элементов XOR, которые связаны путями с четным числом входов.

Однако в структуре рис. 1 используется кодер $G(F)$, на входы которого не всегда подаются самодвойственные функции $f_1(X)$, $f_2(X)$, ..., $f_{m-1}(X)$, $f_m(X)$ (в общем случае они являются произвольными), поэтому здесь существуют особенности, которые требуется учитывать, дабы было возможным построение полностью самопроверяемых СВК по разработанному в [21, 22] методу.

Покажем на примерах, какие именно ошибки не обнаруживаются в структурах блоков $G(F)$ в СВК, организованной по описанному выше методу.

На рис. 2 и 3 приводятся примеры распространения ошибок с выходов элементов структуры блока $G(F)$ на выходы БКС. На каждом рисунке демонстрируется по две пары состояний подсхемы СВК, которые возникают при подаче на входы двух произвольных информационных векторов, генерируемых на выходах объекта диагностирования при подаче на входы инверсных комбинаций. Для пары слева не меняется четность подвектора информационного вектора, генерируемого на выходах, связанных путями с отказавшим элементом XOR. Такая ошибка на обеих подаваемых парах комбинаций приводит к искажениям на выходах. Другими словами, не нарушается свойство самодвойственности функции $g^\delta(X)$. Ошибка не обнаруживается, несмотря на то что и в первом, и во втором случаях меняется четность всего информационного вектора. Для пары справа на каждом из рисунков четность одного из подвекторов информационных векторов, генерируемых на выходах, связанных путями с отказавшим элементом XOR, меняется. Ошибка в этом случае маскируется на одной из подаваемых пар, но на второй — транслируется на выход $g^\delta(X)$. На обеих комбинациях из пары функция $g^\delta(X)$ принимает одинаковые значения, и ошибка обнаруживается. Данные свойства присущи подсхемам, где неисправности вносятся на любые элементы XOR.

Теорема 2. При контроле вычислений по признаку самодвойственности с предварительным сжатием сигналов от объекта диагностирования по паритету неисправности элементов XOR не обнаруживаются в том случае, если не меняется четность подвектора информационного вектора, генерируемого на выходах, связанных путями с отказавшим элементом.

Доказательство. Рассмотрим функцию $g^\delta(X)$, вычисляемую по формуле $g^\delta(X) = \delta(X) \oplus g(X)$, при подаче на входы объекта диагностирования произвольной пары наборов значений аргументов $(i, 2^t - 1 - i)$, $i \in \{0, 1, \dots, 2^{t-1} - 1\}$. На первом наборе из пары $g^\delta(X) = 0$ (1), а на втором — наоборот, $g^\delta(X) = 1$ (0).

Зафиксируем один из вариантов, например первый. Рассмотрим случай, когда $g^\delta(X) = 0$ при подаче первого набора и $g^\delta(X) = 1$ — при подаче второго.

Внесем произвольную неисправность в структуру $G(F)$ — на выход элемента XOR, связанного путями с $q \leq m$ входами кодера. Она может проявиться на выходе $G(F)$ только в том случае, если вид неисправности ($0 \rightarrow 1$ или $1 \rightarrow 0$) будет отличаться от значения четности на q входах, связанных путями с отказавшим XOR. Если четность отличается, то неисправность маскируется.

Пусть при подаче первого набора значений аргументов был сгенерирован информационный вектор, для которого число единиц на q входах, связанных путями с отказавшим XOR, оказалось нечетным. Если в оставшемся подвекторе, состоящем из $(m - q)$ разрядов, нечетное число единиц, то в исправном состоянии $g(X) = 0$, иначе — $g(X) = 1$. Обнаруживаемая ошибка имеет вид $1 \rightarrow 0$. В первом случае она транслируется на выход $g(X)$ в виде $0 \rightarrow 1$, а во втором — $1 \rightarrow 0$. Так как изначально $g^\delta(X) = 0$, то в первом рассматриваемом случае $\delta(X) = 0$, а во втором — $\delta(X) = 1$. В обоих случаях ошибка на выходе $g^\delta(X)$ проявится в виде искажения $0 \rightarrow 1$.

Рассмотрим, что произойдет при подаче на входы объекта диагностирования второго набора значений аргументов, когда нет неисправностей $g^\delta(X) = 1$. Пусть четность рассматриваемого подвектора информационного вектора при подаче второго набора значений

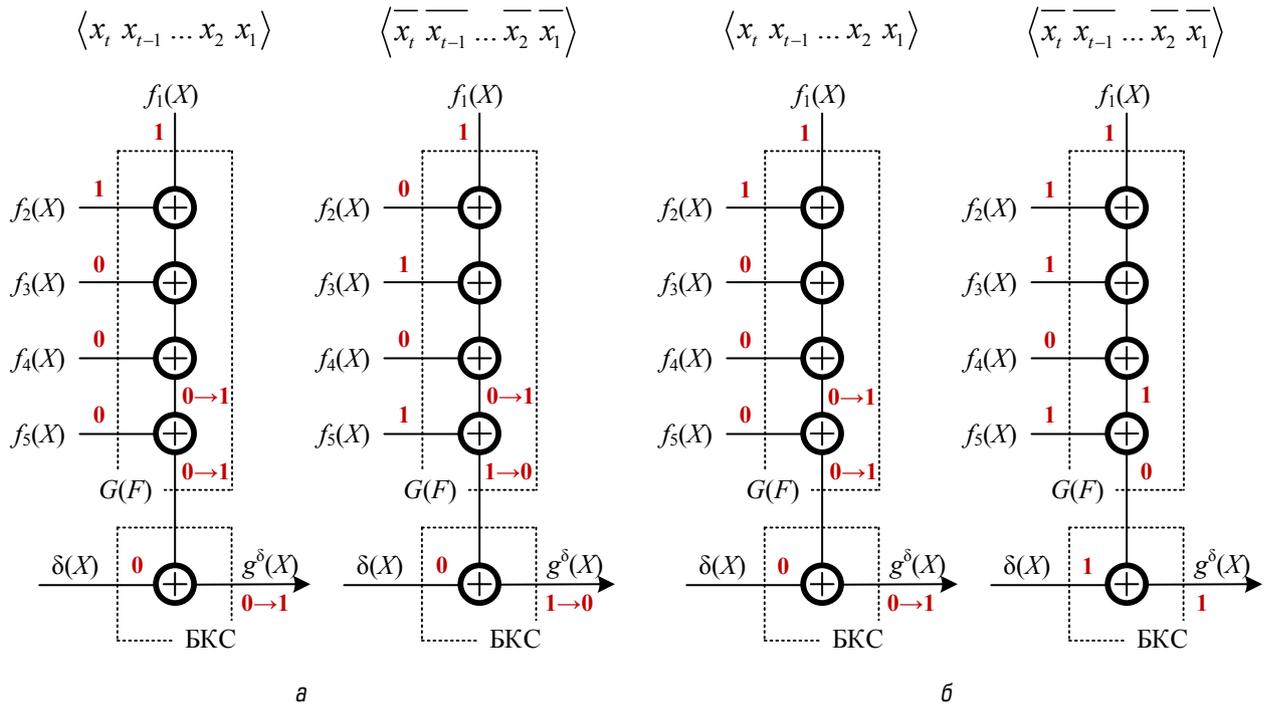


Рис. 2. Демонстрация распространения ошибок на выходе элемента XOR, связанного с четным числом входов, при контроле самодвойственности функции: а — необнаруживаемая ошибка, б — обнаруживаемая ошибка

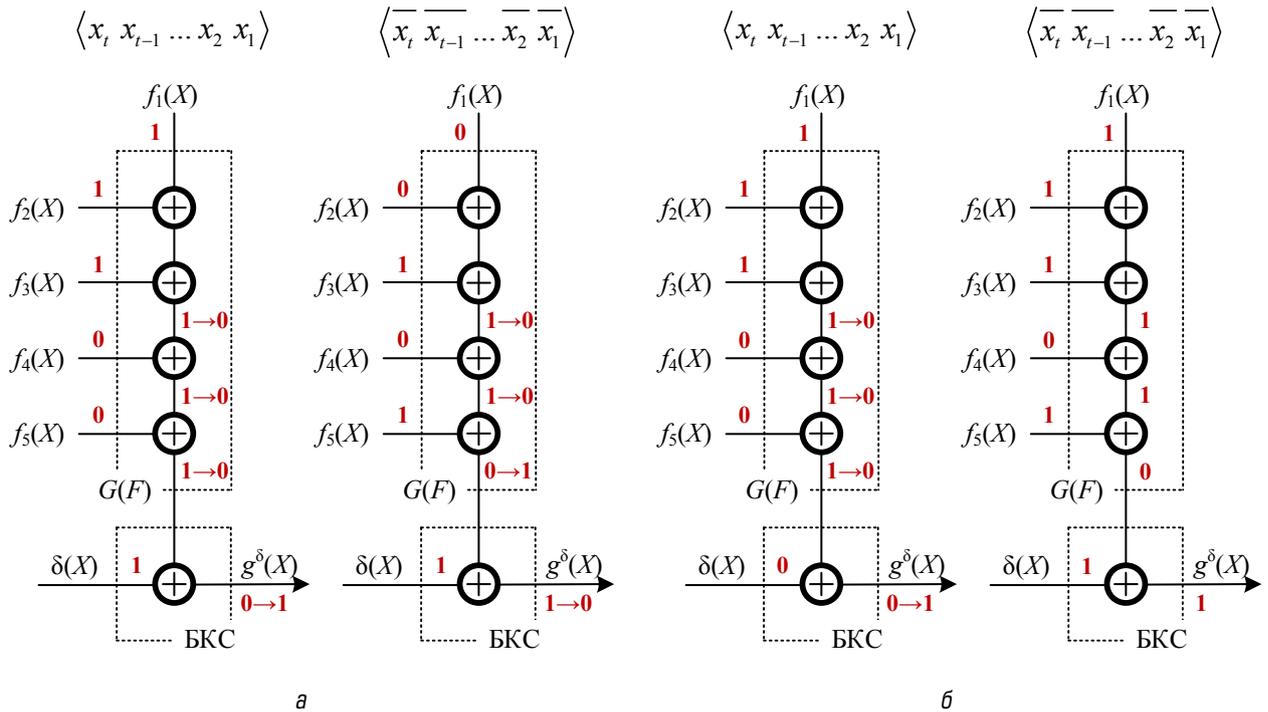


Рис. 3. Демонстрация распространения ошибок на выходе элемента XOR, связанного с нечетным числом входов, при контроле самодвойственности функции: а — необнаруживаемая ошибка, б — обнаруживаемая ошибка

аргументов сохранилась, и та же ошибка транслируется на выход $G(F)$. Если число единиц в оставшемся подвекторе нечетно, то в исправном состоянии $g(X) = 0$, если четно — то $g(X) = 1$. Отсюда ясно, что $\delta(X) = 1$ в первом варианте и $\delta(X) = 0$ — во втором (в противном случае $g^\delta(X) \neq 1$, что противоречит изначальному положению). В обоих случаях ошибка на выходе $g^\delta(X)$ проявится в виде искажения $1 \rightarrow 0$.

Аналогичные рассуждения касаются и случая четности числа единиц на q входах, связанных путями с отказавшим XOR .

При подаче на входы обоих наборов значе- ний аргументов, таким образом, неисправности рассматриваемого элемента XOR окажутся не обнаруженными при контроле самодвой- ственности, так как не приведут к нарушению парафазности значений $g^\delta(X)$ на паре наборов (см. лемму 2).

Ошибка может быть обнаружена только в том случае, если четность числа единиц на q входах, связанных путями с отказавшим XOR , измени- лась при генерации информационного вектора на втором наборе значений аргументов. В этом случае на нем она компенсируется (маскиру- ется), что приводит к нарушению парафазности значений $g^\delta(X)$ на паре наборов (см. лемму 1).

Таким образом, теорема 2 доказана. ■

Из теоремы 2 следуют условия, при которых можно построить СВК с контролем вычис- лений по структуре, изображенной на рис. 1, с самопроверяемым блоком $G(F)$.

Теорема 3. При контроле вычислений по при- знаку самодвойственности с предварительным сжатием сигналов от объекта диагностирования по паритету ошибка в блоке $G(F)$, транслируемая на его выход, будет обнаруживаться в том случае, если при подаче на входы объекта диагностирова- ния полного множества пар наборов значений аргу- ментов $(i, 2^t - 1 - i)$, $i \in \{0, 1, \dots, 2^{t-1} - 1\}$, хотя бы на одной из них меняется четность значений числа единиц во всех подвекторах информационных век- торов с q разрядами, выделяемыми при рассмотре- нии неисправностей кодера.

Теорема 3 непосредственно следует из тео- ремы 2 и способа построения кодера.

Приведем пример устройства $F(X)$, для которого использование структуры контроля вычислений, изображенной на рис. 1, не дает

Таблица 1. Описание дискретного устройства № 1

x_3	x_2	x_1	$f_4(X)$	$f_3(X)$	$f_2(X)$	$f_1(X)$
0	0	0	1	0	1	0
0	0	1	0	1	0	1
0	1	0	0	1	0	0
0	1	1	1	0	0	0
1	0	0	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	0	1	0
1	1	1	1	0	0	1

возможности построения полностью самопрове- ряемой СВК без перестановки выходов (табл. 1). Из анализа столбцов $f_1(X)$ и $f_2(X)$ на парах наборов значений аргументов (0, 7), (1, 6), (2, 5) и (3, 4) становится ясно, что неисправности эле- мента XOR в $G(F)$, сжимающего значения этих функций, не тестируются при контроле вычислен- ний по признаку самодвойственности. Для обе- спечения тестируемости кодера требуется реали- зовать определенную перестановку выходов.

В табл. 2 приведено описание дискретного устройства, для которого невозможно обеспе- чить проверку последнего элемента XOR в $G(F)$, сжимающего значения этих функций, не тести- руются при контроле по признаку самодвой- ственности. Четности информационных векто- ров, формируемых на парах наборов значений аргументов (0, 7), (1, 6), (2, 5) и (3, 4), совпадают.

Покажем далее, за счет чего возможна модер- низация структуры, приведенной на рис. 1, в которой более просто обеспечивается само- проверяемость СВК. Однако при этом ниве- лируется свойство структуры, приведенной на рис. 1, заключающееся в возможности миними- зации показателей структурной избыточности.

Таблица 2. Описание дискретного устройства № 2

x_3	x_2	x_1	$f_4(X)$	$f_3(X)$	$f_2(X)$	$f_1(X)$
0	0	0	1	0	1	0
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	1	0	0	0
1	0	0	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	1	0
1	1	1	1	0	0	1

3. Структура организации контроля вычислений по двум диагностическим признакам на основе кода паритета

Из приведенного выше анализа следует, что применение модифицированной структуры контроля вычислений по паритету позволяет синтезировать полностью самопроверяемые структуры не всегда. Как не всегда это удается делать и с помощью классической структуры контроля вычислений по паритету. Фактически в модифицированной структуре из-за особенностей организации контроля вычислений нивелируются свойства обнаружения ошибок, используемые в классической структуре, однако добавляются новые свойства — обнаружения ошибок на парах наборов значений аргументов. Основным преимуществом модифицированной структуры оказывается возможность минимизации показателей структурной избыточности СВК по сравнению с использованием паритета, но это так или иначе приводит к ухудшению обнаруживающих характеристик.

Удачным оказывается сочетание свойств классической и модифицированной структур и организация СВК по двум диагностическим признакам, общие принципы синтеза которых даны в [30]. Однако сразу же нивелируется преимущество модифицированной структуры в части снижения показателей структурной избыточности. Тем не менее в сравнении с иными используемыми методами (например, синтезом СВК на основе равновесных кодов и кодов с суммированием или методом дублирования) контроль вычислений сразу по двум диагностическим признакам оказывается эффективным.

На рис. 4 приведена структура организации контроля вычислений по двум диагностическим признакам на основе кода паритета. Ранее именно эта структура в научной литературе не обсуждалась, по всей видимости, по тем причинам, что показатели структурной избыточности ее реализации гарантированно будут более высокими, чем при контроле вычислений на основе классической структуры контроля по паритету (однако нигде не обсуждалось то, что в ней и выше показатели контролепригодности в части наблюдаемости ошибок на контрольных выходах СВК).

Так как на выходе блока $G(F)$ формируется значение функции $g(X)$ паритета, вывод сигнала с него и дополнительный контроль вычислений именно по паритету вкуче с контролем самодвойственности функции $g^\delta(X)$ позволяет обеспечивать полную проверку кодера $G(F)$. В СВК выделяются две подсхемы контроля вычислений. Первая, уже описанная выше, — схема контроля вычислений по принадлежности функции $g^\delta(X)$ классу самодвойственных булевых функций. Ее выходы — $z_2^0(X)$ и $z_2^1(X)$. Подсхема контроля вычислений по паритету использует тот же кодер $G(F)$, блок контрольной логики $G(X)$ и инвертор. Блок контрольной логики $G(X)$ также является кодером кода паритета и генерирует контрольный бит $g(X)$ непосредственно по значениям, поступающим на входы объекта диагностирования. Данный бит инвертируется для организации контроля парафазности сигнала на выходах блоков $G(F)$ и $g(X)$. Контрольные выходы данной подсхемы — это выходы $z_1^0(X)$ и $z_1^1(X)$. Контрольные выходы обеих подсхем контроля подключаются к входам одного элементарного модуля сжатия парафазных сигналов TRC [31] для получения единственной пары контрольных выходов $z^0(X)$ и $z^1(X)$.

Блоки $G(X)$ и $\Delta(X)$ могут быть реализованы совместно, что позволит оптимизировать показатели структурной избыточности данной части СВК. При наилучших вариантах реализации выход $g^\delta(X)$ может быть подсхемой блока $G(X)$. В этом случае показатели структурной избыточности СВК будут совсем незначительно (на величины показателей сложности реализации SDC и TRC) отличаться от показателей структурной избыточности СВК, реализованной по классической структуре контроля по паритету.

Описанное устройство СВК по двум диагностическим признакам позволяет повысить показатели обнаружения ошибок на выходах объекта диагностирования и каждого блока СВК.

Структура, приведенная на рис. 4, строится с учетом ряда требований по обеспечению самопроверяемости:

1. Устройство $F(X)$ должно быть проверяемым, или самотестируемым, что означает

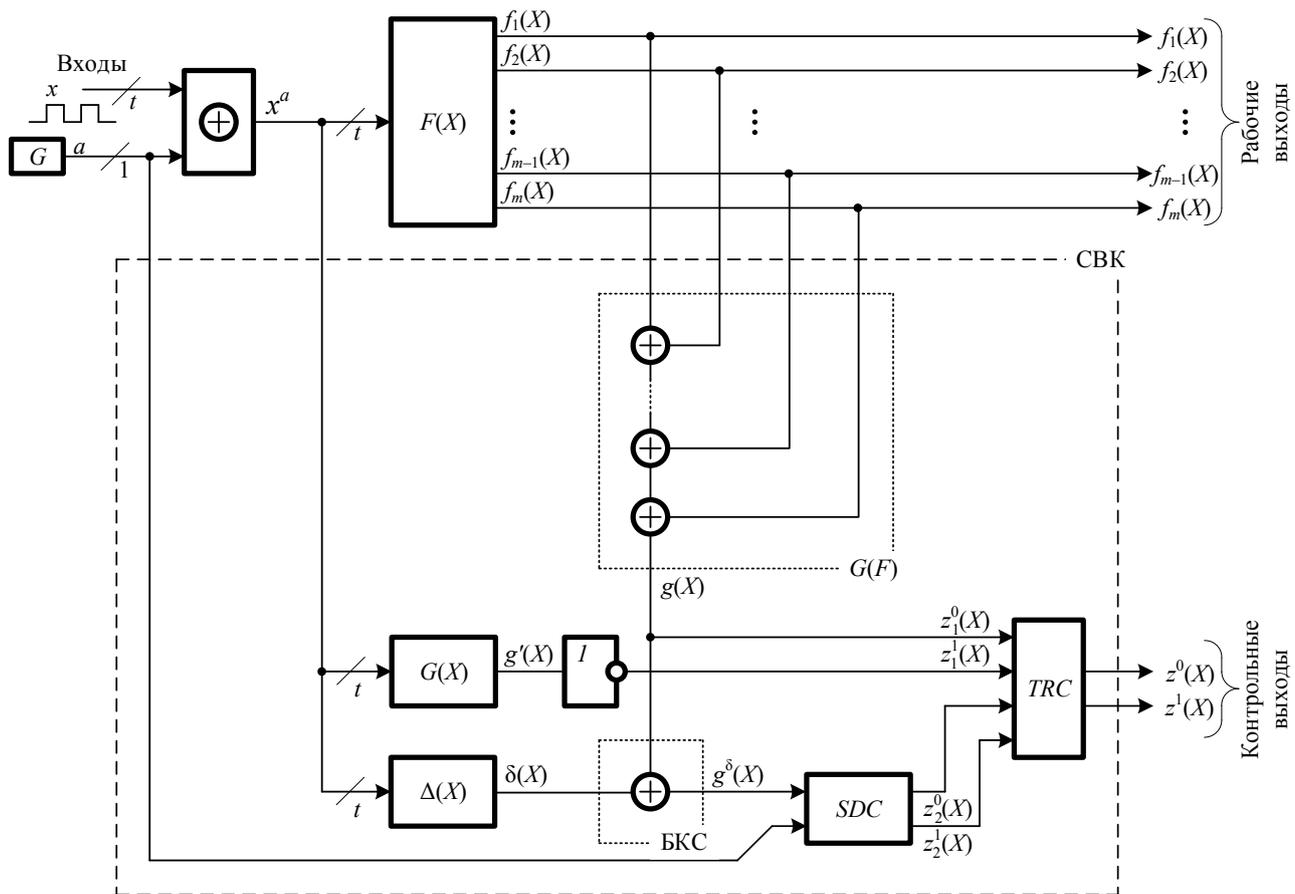


Рис. 4. Структура организации СВК с контролем вычислений по двум диагностическим признакам на основе кода паритета

возможность трансляции ошибки, вызванной неисправностью из заданной модели, на выходы устройства хотя бы на одном наборе значений аргументов [6]. В противном случае невозможно обеспечить обнаружение такой неисправности.

2. Устройства $G(X)$ и $\Delta(X)$ должны быть проверяемыми.

3. На входы кодера $G(F)$ должны поступать тестовые наборы, необходимые для полной проверки его структуры. При канонической реализации XOR тест составляют все четыре набора из множества $\{00, 01, 10, 11\}$. Условия же тестируемости структур, реализующих функцию паритета, хорошо изучены в [32].

4. Аналогично на входы элемента коррекции в БКС должен поступать проверяющий тест. Это требует формирования как минимум на двух наборах значений аргументов значений функций $\delta(X) = 0$ (1) и $g(X) = 0$ (1).

5. Функция $g'(X)$ должна принимать значение 0 (1) хотя бы на одном наборе значений аргументов.

6. Должна обеспечиваться проверка SDC , что реализуется в двух тактах его работы при подаче на входы $g^\delta(X)$ и a рабочих воздействий.

7. На входы TRC должен поступать проверяющий тест, включающий комбинации $\{0101, 0110, 1001, 1010\}$.

Несмотря на довольно внушительный перечень требований, они выполняются довольно легко при корректном проектировании СВК, за исключением проверяемости блока $F(X)$, что должно быть обеспечено на этапе его проектирования, и возможностей тестируемости кодера в СВК, что требует формирования определенного множества рабочих комбинаций на выходах блока $F(X)$ [32].

4. Пример синтеза схемы встроенного контроля вычислений по двум диагностическим признакам

Рассмотрим пример синтеза самопроверяемого устройства по приведенной выше структуре (рис. 4). В первых одиннадцати графах

Таблица 3. Описание устройства с СВК к рассматриваемому примеру

№	x_4	x_3	x_2	x_1	$f_6(X)$	$f_5(X)$	$f_4(X)$	$f_3(X)$	$f_2(X)$	$f_1(X)$	$g(X)$	$\delta(X)$	$g^\delta(X)$
0	0	0	0	0	0	1	0	1	0	1	1	0	1
1	0	0	0	1	1	1	1	0	1	0	0	0	0
2	0	0	1	0	0	0	1	1	0	0	0	0	0
3	0	0	1	1	1	1	0	0	0	1	1	0	1
4	0	1	0	0	0	0	0	0	1	0	1	0	1
5	0	1	0	1	1	1	1	1	0	0	0	1	1
6	0	1	1	0	0	0	1	0	0	1	0	0	0
7	0	1	1	1	1	1	0	0	0	1	1	1	0
8	1	0	0	0	0	1	0	1	0	1	1	0	1
9	1	0	0	1	0	0	1	1	1	0	1	0	1
10	1	0	1	0	0	0	0	0	0	0	0	0	0
11	1	0	1	1	1	1	1	0	0	1	0	0	0
12	1	1	0	0	0	1	0	0	1	0	0	0	0
13	1	1	0	1	0	0	1	0	1	1	1	0	1
14	1	1	1	0	0	0	0	0	0	1	1	0	1
15	1	1	1	1	1	1	0	1	0	1	0	0	0

табл. 3 задано произвольное комбинационное устройство. Получим функции, описывающие выходы $g(X)$, $g^\delta(X)$ и $\delta(X)$.

На начальном этапе значения функций $g(X)$, $g^\delta(X)$ и $\delta(X)$ не определены. Их нужно получить при рассмотрении каждого набора значений аргументов. Значения $g(X)$ получаются однозначно при подстановке каждого набора значений аргументов в формулу $g(X) = f_1(X) \oplus f_2(X) \oplus \dots \oplus f_{m-1}(X) \oplus f_m(X)$, $m=6$. Значения функции $\delta(X)$ определяются из формулы:

$$g^\delta(X) = \delta(X) \oplus g(X) \Rightarrow \delta(X) = g^\delta(X) \oplus g(X). \tag{3}$$

Трудности заключаются лишь с получением значений функции $g^\delta(X)$ на каждом наборе значений аргументов — существует $2^{2^{4-1}} = 2^8 = 256$ вариантов самодвойственных функций от четырех аргументов. Можно было бы перебрать каждый из них и использовать тот, который дает наименее сложную функцию $\delta(X)$, частично или полностью совпадающую с функцией $g(X)$. Однако делать здесь этого не будем, а используем один из методов расчета функций $g^\delta(X)$: на второй половине значений аргументов с десятичными номерами № 8 — № 15, то есть

при $x_4 = 1$, определим функцию $g^\delta(X) = g(X)$; на первой половине значений аргументов с десятичными номерами № 0 — № 7, то есть при $x_4 = 0$, определим значения функции $g^\delta(X)$ инверсными к значениям функции на инверсных наборах второй половины:

$$g^\delta(X) = x_4 g(X) \vee \overline{x_4} \overline{g(X)}. \tag{4}$$

В последних трех графах табл. 3 представлены значения функций $g(X)$, $g^\delta(X)$ и $\delta(X)$.

Все блоки СВК стандартные, поэтому требуется лишь синтезировать блоки $g(X)$ и $\delta(X)$. Оптимизируя данные функции методом Карно [33, 34], получаем:

$$g(X) = \overline{x_4} \overline{x_2} \overline{x_1} \vee \overline{x_4} x_2 x_1 \vee \overline{x_4} x_3 \overline{x_2} \vee \overline{x_4} x_2 x_1 \vee x_4 x_3 x_2 \overline{x_1},$$

$$\delta(X) = \overline{x_4} x_3 x_1.$$

Здесь также следует отметить возможность совместной реализации функций $g(X)$ и $\delta(X)$, например, следующим образом:

$$g(X) = \overline{x_4} \overline{x_2} \overline{x_1} \vee x_2 y \vee \overline{x_4} x_3 \overline{x_2} \vee \overline{x_4} x_2 x_1 \vee x_4 x_3 x_2 \overline{x_1},$$

$$\delta(X) = y x_3,$$

$$y = \overline{x_4} x_1.$$

Таблица 4. Описание контрольной части устройства в отсутствие неисправностей

№	x_4	x_3	x_2	x_1	$b_1(X)$	$b_2(X)$	$b_3(X)$	$b_4(X)$	$b_5(X)$	$\delta(X)$	$g(X) = b_5(X)$	$g^\delta(X)$	$\psi^\delta(X)$	$\psi^\pi(X)$
0	0	0	0	0	1	0	0	1	1	0	1	1	0	0
1	0	0	0	1	1	1	0	1	0	0	0	0	0	0
2	0	0	1	0	0	1	0	0	0	0	0	0	0	0
3	0	0	1	1	1	1	1	0	1	0	1	1	0	0
4	0	1	0	0	1	1	1	1	1	0	1	1	0	0
5	0	1	0	1	0	1	0	1	0	1	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	0	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	1	1	0	0
9	1	0	0	1	1	0	1	1	1	0	1	1	0	0
10	1	0	1	0	0	0	0	0	0	0	0	0	0	0
11	1	0	1	1	1	1	0	1	0	0	0	0	0	0
12	1	1	0	0	1	1	1	0	0	0	0	0	0	0
13	1	1	0	1	0	0	1	1	1	0	1	1	0	0
14	1	1	1	0	1	1	1	1	1	0	1	1	0	0
15	1	1	1	1	1	0	0	1	0	0	0	0	0	0

Получив логические выражения, описывающие выходы блоков $g(X)$ и $\delta(X)$ в СВК, переходят к реализации самопроверяемого устройства в выбранном элементном базисе по структуре, приведенной на рис. 4.

Покажем, что для устройства, синтезированного по табл. 3 с использованием структуры, приведенной на рис. 4, только при контроле самодвойственности вычислений не будут обнаруживаться неисправности, не удовлетворяющие условию теоремы 3.

Для этого рассмотрим пример константных неисправностей первого элемента XOR_1 , осуществляющего операцию $f_1(X) \oplus f_2(X)$. В табл. 4 приведено описание только контрольной части исправной и правильно спроектированной схемы рис. 4. Здесь даны сигналы $b_1(X) — b_5(X)$ на выходах элементов $XOR_1 — XOR_5$, $\delta(X)$, $g(X) = b_5(X)$ и $g^\delta(X)$ на каждом наборе значений аргументов. Также рассчитаны две функции фиксации ошибки на наборах значений аргументов:

$$\psi^\delta(X) = \overline{g^\delta(X) \oplus g^\delta(\bar{X})}; \quad (5)$$

$$\psi^\pi(X) = g(X) \oplus g^*(X), \quad (6)$$

где $g^*(X)$ — значение функции паритета, рассчитанное на конкретном наборе значений аргументов при наличии неисправности в структуре.

При $\psi^\delta(X) = 0$ и $\psi^\pi(X) = 0$ ошибка не зафиксирована (либо она не проявляется на рассматриваемом наборе значений аргументов, либо оказалась необнаруженной), и, наоборот, — при $\psi^\delta(X) = 1$ и $\psi^\pi(X) = 1$ ошибка зафиксирована.

В функции $\psi^\delta(X)$ значение суммы $g^\delta(X) \oplus g^\delta(\bar{X})$ инвертируется, так как значения функции в исправном состоянии структуры $g^\delta(X) \neq g^\delta(\bar{X})$.

В табл. 5 и 6 сведены данные о работе СВК при возникновении одиночных константных неисправностей XOR_1 . Наибольший интерес представляют последние две графы каждой из таблиц, где приведены данные для функций $\psi^\delta(X)$ и $\psi^\pi(X)$. Функция $\psi^\delta(X) = 0$ на всех наборах значений аргументов для обеих неисправностей, что говорит о невозможности их обнаружения ни на одной из пар наборов значений аргументов при самодвойственном контроле вычислений (этот коэффициент говорит в том числе о характеристиках тестопригодности структуры, приведенной на рис. 1). Значение функции $\psi^\delta(X)$, наоборот, на всех наборах значений аргументов, где неисправность проявляется

Таблица 5. Описание контрольной части устройства при неисправности вида «константа 0» на выходе XOR_1

№	x_4	x_3	x_2	x_1	$b_1(X)$	$b_2(X)$	$b_3(X)$	$b_4(X)$	$b_5(X)$	$\delta(X)$	$g(X) = b_5(X)$	$g^\delta(X)$	$\psi^\delta(X)$	$\psi^\pi(X)$
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0	1	0	1	1	0	1
2	0	0	1	0	0	1	0	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	1
4	0	1	0	0	0	0	0	0	0	0	0	0	0	1
5	0	1	0	1	0	1	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1	1	0	1	1	0	1
7	0	1	1	1	0	0	0	1	0	1	0	1	0	1
8	1	0	0	0	0	1	1	0	0	0	0	0	0	1
9	1	0	0	1	0	1	0	0	0	0	0	0	0	1
10	1	0	1	0	0	0	0	0	0	0	0	0	0	0
11	1	0	1	1	0	0	1	0	1	0	1	1	0	1
12	1	1	0	0	0	0	0	1	1	0	1	1	0	1
13	1	1	0	1	0	0	1	1	1	0	1	1	0	0
14	1	1	1	0	0	0	0	0	0	0	0	0	0	1
15	1	1	1	1	0	1	1	0	1	0	1	1	0	1

Таблица 6. Описание контрольной части устройства при неисправности вида «константа 1» на выходе XOR_1

№	x_4	x_3	x_2	x_1	$b_1(X)$	$b_2(X)$	$b_3(X)$	$b_4(X)$	$b_5(X)$	$\delta(X)$	$g(X) = b_5(X)$	$g^\delta(X)$	$\psi^\delta(X)$	$\psi^\pi(X)$
0	0	0	0	0	1	0	0	1	1	0	1	1	0	0
1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	1	0	1	1	0	0
4	0	1	0	0	1	1	1	1	1	0	1	1	0	0
5	0	1	0	1	1	0	1	1	1	1	1	0	0	1
6	0	1	1	0	1	1	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	1	1	0	0
9	1	0	0	1	1	0	1	1	1	0	1	1	0	0
10	1	0	1	0	1	1	1	1	1	0	1	1	0	1
11	1	0	1	1	1	1	0	0	0	0	0	0	0	0
12	1	1	0	0	1	1	1	0	0	0	0	0	0	0
13	1	1	0	1	1	1	0	0	0	0	0	0	0	1
14	1	1	1	0	1	1	1	1	1	0	1	1	0	0
15	1	1	1	1	1	0	0	0	0	0	0	0	0	0

(значение функции $b_1(X)$, отличается от корректного при неисправности (см. столбцы $b_1(X)$ в табл. 4–6)), равна 1. Это говорит о том, что как раз контроль вычислений по паритету позволил зафиксировать неисправности на всех наборах

значений аргументов. Становится ясно, что структура рис. 4 обладает более высокой контролепригодностью, нежели известная структура самодвойственного контроля вычислений со сжатием сигналов по паритету.

Заключение

Существует несколько вариантов использования контроля вычислений по паритету при организации СВК для дискретных устройств. К известным методам контроля вычислений по паритету (к классическому методу) и контроля вычислений с предварительным сжатием сигналов от объекта диагностирования с использованием функции паритета и последующей коррекцией сигнала в самодвойственной (к модифицированному методу) следует добавить метод, сочетающий в себе оба диагностических признака — и контроля принадлежности вычисляемой функции коду паритета, и контроля самодвойственности скорректированного значения. Данный метод сочетает в себе достоинства и классического, и модифицированного методов контроля вычислений по паритету, нивелирует недостатки каждого. Однако, в отличие от модифицированного метода, не позволяет построить структуру СВК, более простую, чем при использовании классического метода контроля вычислений по паритету. Но в сравнении с использованием иных методов, основанных на применении свойств помехозащищенных и помехоустойчивых кодов, включая метод дублирования, сохраняется положительный эффект — предложенный метод позволяет повысить обнаруживающие характеристики структуры за счет использования двух диагностических признаков и дает соизмеримое с классической структурой организации контроля вычислений по паритету усложнение СВК.

Для повышения обнаруживающих характеристик предложенного метода может использоваться выделение двух и более групп выходов с контролем вычислений по предложенной в статье структуре. Принципы выделения групп выходов, определение обнаруживающих характеристик получаемых структур, возможности оптимизации показателей структурной избыточности за счет использования неполного множества наборов значений аргументов, экспериментальные исследования методов на тестовых комбинационных схемах — являются темами для дальнейших исследований. Интересным развитием направления исследований структуры, приведенной на рис. 4,

также является рассмотрение в качестве ее основы равномерных блоковых кодов, для которых вычисляется несколько функций паритета для различных информационных символов. Вопросам применения таких кодов при синтезе структур с контролем вычислений по нескольким диагностическим признакам посвящено не так много работ, например статьи [35–37], где рассматривается несколько иная структура организации СВК и требуется предварительное преобразование структуры объекта диагностирования в самодвойственную структуру. Также интерес представляет рассмотрение еще одного вида дополнительного контроля вычислений, подразумевающего контроль принадлежности вычисляемых функций классу «близких» к самодвойственным и самоквазидвойственным функциям [38, 39]³. Это справедливо, поскольку само преобразование в БКС может быть осуществлено произвольно, в том числе так, чтобы функция $g(X)$ оказалась самоквазидвойственной. В этом смысле может быть получено большое количество самопроверяемых структур с различными свойствами.

Контроль вычислений по двум диагностическим признакам на основе предварительного сжатия сигналов с использованием кода паритета представляет собой метод, основанный на применении стандартных подходов, но сочетающий в себе положительные свойства двух разных методов построения самопроверяемых дискретных устройств. ▲

Список источников

1. Глушков В. М. Синтез цифровых автоматов / В. М. Глушков. — М.: ЛЕНАНД, 2022. — 480 с.
2. Мосин С. Г. Подход к выбору метода тестирования смешанных интегральных схем на основе стоимостной модели / С. Г. Мосин // Управление большими системами. — 2013. — № 41. — С. 344–356.
3. Сперанский Д. В. Генетический алгоритм размещения контрольных точек в цифровом устройстве / Д. В. Сперанский // Известия Саратовского университета. Новая серия. Серия: Математика. Механика. Информатика. — 2017. — Т. 17. — № 3. — С. 353–362.

³ Обратим внимание читателя на то, что в [38, 39] самоквазидвойственные функции определены как самоантидвойственные, что не совсем точно отражает их особенности, однако на их свойства в вычислительных системах ученые обратили внимание довольно давно.

4. Hahanov V. Vector Synthesis of Fault Testing Map for Logic / V. Hahanov, W. Gharibi, S. Chumachenko, E. Litvinova // *IAES International Journal of Robotics and Automation (IJRA)*. — 2024. — Vol. 13. — Iss. 3. — Pp. 293–306.
5. Ubar R. Structural Decision Diagrams in Digital Test: Theory and Applications / R. Ubar, J. Raik, M. Jenihhin, A. Jutman. — Switzerland: Springer Nature, 2024. — 595 p.
6. Пархоменко П. П. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства) / П. П. Пархоменко, Е. С. Согомоян. — М.: Энергоатомиздат, 1981. — 320 с.
7. Drozd A. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions / A. Drozd, V. Kharchenko, S. Antoshchuk, J. Sulima et al. // *Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTS'2011)*. — Sevastopol, Ukraine, 2011. — Pp. 411–416.
8. Сапожников В. В. Дискретные автоматы с обнаружением отказов / В. В. Сапожников, Вл. В. Сапожников. — Л.: Энергоатомиздат, 1984. — 112 с.
9. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомоян, Е. В. Слабаков. — М.: Радио и связь, 1989. — 208 с.
10. Juracy L. R. Optimized Design of an LSSD Scan Cell / L. R. Juracy, M. T. Moreira, F. A. Kuentzer, A. M. Amory // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. — 2017. — Vol. 25. — Iss. 2. — Pp. 765–768.
11. Mitra S. Which Concurrent Error Detection Scheme to Choose? / S. Mitra, E. J. McCluskey // *Proceedings of International Test Conference*. — USA, Atlantic City, NJ, 2000. — Pp. 985–994.
12. Chioktour V. Adaptive BIST for Concurrent On-Line Testing on Combinational Circuits / V. Chioktour, A. Kakarountas // *Electronics*. — 2022. — Vol. 19. — Iss. 11. — Pp. 1–20.
13. Sahana A. R. Application of Error Detection and Correction Techniques to Self-Checking VLSI Systems: An Overview / A. R. Sahana, V. Chiraag, G. Suresh, P. Thejaswini et al. // *Proceedings of 2023 IEEE Guwahati Subsection Conference (GCON)*. — Guwahati, 2023.
14. Сапожников В. В. Коды с суммированием для систем технического диагностирования. Том 1: Классические коды Бергера и их модификации / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — М.: Наука, 2020. — 383 с.
15. Сапожников В. В. Коды с суммированием для систем технического диагностирования. Том 2: Взвешенные коды с суммированием / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — М.: Наука, 2021. — 455 с.
16. Сагалович Ю. Л. Обнаружение неисправностей в схемной реализации системы монотонных булевых функций / Ю. Л. Сагалович, В. Ю. Соломенников // *Проблемы передачи информации*. — 1997. — Т. 33. — № 2. — С. 81–93.
17. Dmitriev A. New Self-Dual Circuits for Error Detection and Testing / A. Dmitriev, V. Saposhnikov, V. Saposhnikov, M. Goessel // *VLSI Design*. — 2000. — Vol. 11. — Iss. 1. — Pp. 1–21.
18. Matrosova A. Yu. Self-Checking Synchronous FSM Network Design with Low Overhead / A. Yu. Matrosova, I. Levin, S. A. Ostanin // *VLSI Design*. — 2000. — Vol. 11. — Iss. 1. — Pp. 47–58.
19. Göessel M. New Methods of Concurrent Checking / M. Göessel, V. Ocheretny, E. Sogomonyan, D. Marienfeld. — Dordrecht: Springer Science+Business Media B.V., 2008. — 184 p.
20. Яблонский С. В. Введение в дискретную математику / С. В. Яблонский; под ред. В. А. Садовничева. — М.: Высшая школа, 2003. — 384 с.
21. Saposhnikov V. V. Self-Dual Parity Checking — a New Method for on Line Testing / V. V. Saposhnikov, A. Dmitriev, M. Goessel, V. V. Saposhnikov // *Proceedings of 14th IEEE VLSI Test Symposium*. — USA, Princeton, 1996. — Pp. 162–168.
22. Гессель М. Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах / М. Гессель, А. В. Дмитриев, В. В. Сапожников, Вл. В. Сапожников // *Автоматика и телемеханика*. — 1999. — № 11. — С. 162–174.
23. Согомоян Е. С. Построение самопроверяемых схем встроенного контроля для комбинационных устройств / Е. С. Согомоян // *Автоматика и телемеханика*. — 1974. — № 2. — С. 121–133.
24. Аксенова Г. П. Построение самопроверяемых схем встроенного контроля для автоматов с памятью / Г. П. Аксенова, Е. С. Согомоян // *Автоматика и телемеханика*. — 1975. — № 7. — С. 132–142.
25. Ефанов Д. В. Тестеры самодвойственных и «близких» к ним сигналов / Д. В. Ефанов, Д. В. Пивоваров // *Известия высших учебных заведений. Приборостроение*. — 2024. — Т. 67. — № 1. — С. 5–19.
26. Аксенова Г. П. Восстановление в дублированных устройствах методом инвертирования данных / Г. П. Аксенова // *Автоматика и телемеханика*. — 1987. — № 10. — С. 144–153.
27. Гессель М. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций / М. Гессель, В. И. Мошанин, В. В. Сапожников, Вл. В. Сапожников // *Автоматика и телемеханика*. — 1997. — № 12. — С. 193–200.
28. Сапожников В. В. Самодвойственные дискретные устройства / В. В. Сапожников, Вл. В. Сапожников, М. Гессель. — СПб.: Энергоатомиздат, 2001. — 331 с.
29. Ефанов Д. В. Особенности реализации самопроверяемых структур на основе метода инвертирования данных и линейных кодов / Д. В. Ефанов // *Вестник Томского государственного университета. Управление, вычислительная техника и информатика*. — 2023. — № 65. — С. 126–138.
30. Ефанов Д. В. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга / Д. В. Ефанов, Т. С. Погодина // *Информатика и автоматизация*. — 2023. — Т. 22. — № 2. — С. 349–392.
31. Lala P. K. Self-Checking and Fault-Tolerant Digital Design / P. K. Lala. — San Francisco: Morgan Kaufmann Publishers, 2001. — 216 p.
32. Аксенова Г. П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 / Г. П. Аксенова // *Автоматика и телемеханика*. — 1979. — № 9. — С. 126–135.
33. Пospelov Д. А. Логические методы анализа и синтеза схем / Д. А. Пospelov. — М.: Энергия, 1968. — 328 с.

34. Закревский А. Д. Логические основы проектирования дискретных устройств / А. Д. Закревский, Ю. В. Поттосин, Л. Д. Черемисинова. — М.: Физматлит, 2007. — 592 с.
35. Ефанов Д. В. Особенности использования кодов Хэмминга при синтезе самопроверяемых цифровых устройств на основе метода инвертирования данных / Д. В. Ефанов // Известия высших учебных заведений. Электроника. — 2024. — Т. 29. — № 3. — С. 379–392.
36. Ефанов Д. В. Самодвойственные цифровые устройства с контролем вычислений по кодам Сяо / Д. В. Ефанов, Т. С. Погодина // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. — 2023. — № 63. — С. 118–136.

37. Ефанов Д. В. Синтез самопроверяемых дискретных устройств на основе полиномиальных кодов с контролем вычислений по нескольким диагностическим признакам / Д. В. Ефанов, Д. В. Пивоваров // Автоматика и телемеханика. — 2025. — № 5. — С. 39–60.
38. Шальто А. А. Логическое управление. Методы аппаратной и программной реализации / А. А. Шальто. — СПб.: Наука, 2000. — 780 с.
39. Шальто А. А. Модули, универсальные в классе самодвойственных функций и в «близких» к ним классах / А. А. Шальто // Известия Российской академии наук. Теория и системы управления. — 2001. — № 5. — С. 110–120.

TRANSPORT AUTOMATION RESEARCH, 2025, Vol. 11, No. 3, pp. 264–279
DOI: 10.20295/2412-9186-2025-11-03-264-279

Self-Checking Discrete Device Synthesis Using Parity Code Properties and Self-Duality Boolean Functions

Information about author

Efanov D. V., Doctor in Engineering, Professor, IEEE Member, Full Member of International Transport Academy, Professor^{1,2,3,4}, Leading Researcher⁵.
E-mail: TrES-4b@yandex.ru

¹Peter the Great Saint Petersburg Polytechnic University, Higher School of Cyberphysical Systems & Control, Institute of Computer Science and Cybersecurity, Saint Petersburg

²Peter the Great Saint Petersburg Polytechnic University, Higher School of Transport, Mechanical Engineering, Material and Transport Institute, Saint Petersburg

³Russian University of Transport (MIIT), Department of Automation, Remote Control and Communication on Railway Transport, Moscow

⁴Tashkent State Transport University, Department of Automation and Remote Control, Tashkent

⁵Institute of Transport Problems named after N. S. Solomenko of the Russian Academy of Sciences, Laboratory of Problems of Organization of Transport Systems (Laboratory No. 5), Saint Petersburg

Abstract: The paper demonstrates that the established organizational structure of the concurrent error-detection circuit, founded on the self-duality feature with preliminary signal compression from the diagnostic object employing the parity function (a modified parity control structure), enables the comprehensive self-checking discrete devices for specific initial objects. As demonstrated, when conducting control checking calculations based on the self-duality feature with preliminary compression of signals from the diagnostic object by parity, faults in the modulo-2 addition gates of the parity code encoder are not detected. This is provided that the parity of the sub-vector of the data vector, generated at outputs connected by paths with the failed gate, remains unchanged. This imposes certain restrictions on the use of the established modified parity control structure in the self-checking discrete device synthesis. The paper presents a further modification to the parity testing structure. The proposed structure overcomes the known structure's drawback by ensuring calculation control through both parity and assigning the function describing the control output to the class of self-dual Boolean functions. Due to the minor complication of the CED circuit compared to the parity check circuit, it is possible to significantly improve the testability characteristics. Further studies of the new organization structure of CED parity check circuits will allow us to determine the criteria of its applicability in the self-checking discrete device synthesis.

Keywords: discrete device fault detection; self-checking discrete device; Boolean complement self-duality control; parity computing check; concurrent error-detection circuit; control circuit component testability.

References

1. Glushkov V. M. *Sintez tsifrovyykh avtomatov* [Synthesis of digital automata]. Moscow: LENAND Publ., 2022, 480 p. (In Russian)
2. Mosin S. G. Podkhod k vyboru metoda testirovaniya smeshannykh integral'nykh skhem na osnove stoimostnoy modeli [Approach to selecting a method for testing mixed integrated circuits based on a cost model]. *Upravlenie bol'shimi sistemami* [Large Systems Management]. 2013, Iss. 41, pp. 344–356. (In Russian)
3. Speranskiy D. V. Geneticheskiy algoritm razmescheniya kontrol'nykh tochek v tsifrovom ustroystve [Genetic algorithm for placing test points in a digital device]. *Izvestiya Saratovskogo universiteta. Novaya seriya. Seriya: Matematika. Mekhanika. Informatika* [Saratov University Journal. New Series. Series: Mathematics. Mechanics. Computer Science]. 2017, vol. 17, Iss. 3, pp. 353–362. (In Russian)
4. Hahanov V., Gharibi W., Chumachenko S., Litvinova E. Vector Synthesis of Fault Testing Map for Logic. *IAES International Journal of Robotics and Automation (IJRA)*, 2024, vol. 13, Iss. 3, pp. 293–306.
5. Ubar R., Raik J., Jenihhin M., Jutman A. *Structural Decision Diagrams in Digital Test: Theory and Applications*. Switzerland: Springer Nature, 2024, 595 p.
6. Parkhomenko P. P., Sogomonyan E. S. *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Fundamentals of technical diagnostics (optimization of diagnostic algorithms, hardware means)]. Moscow: Energoatomizdat Publ., 1981, 320 p. (In Russian)
7. Drozd A., Kharchenko V., Antoshchuk S., Sulima J. et al. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions. *Proceedings of 9th IEEE East-West Design & Test Symposium (EWDS'2011)*, Sevastopol, Ukraine, 2011, pp. 411–416.
8. Sapozhnikov V. V., Sapozhnikov V. V. *Diskretnye avtomaty s obnaruzheniem otkazov* [Discrete automata with fault detection]. Leningrad: Energoatomizdat Publ., 1984, 112 p. (In Russian)
9. Sogomonyan E. S., Slabakov E. V. *Samoproveryaemye ustroystva i otkazoustoychivyye sistemy* [Self-testing devices and fault-tolerant systems]. Moscow: Radio i svyaz' Publ., 1989, 208 p. (In Russian)
10. Juracy L. R., Moreira M. T., Kuentzer F. A., Amory A. M. Optimized Design of an LSSD Scan Cell. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2017, vol. 25, Iss. 2, pp. 765–768.
11. Mitra S., McCluskey E. J. Which Concurrent Error Detection Scheme to Choose? *Proceedings of International Test Conference, USA, Atlantic City, NJ, 2000*, pp. 985–994.
12. Chioktour V., Kakarountas A. Adaptive BIST for Concurrent On-Line Testing on Combinational Circuits. *Electronics*, 2022, vol. 19, Iss. 11, pp. 1–20.
13. Sahana A. R., Chiraag V., Suresh G., Thejaswini P. et al. Application of Error Detection and Correction Techniques to Self-Checking VLSI Systems: An Overview. *Proceedings of 2023 IEEE Guwahati Subsection Conference (GCN)*, Guwahati, 2023.

14. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. *Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya. Tom 1: Klassicheskie kody Bergera i ikh modifikatsii* [Summation codes for technical diagnostic systems. Vol. 1: Classical Berger codes and their modifications]. Moscow: Nauka Publ., 2020, 383 p. (In Russian)
15. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. *Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya. Tom 2: Vzveshennyye kody s summirovaniem* [Summation codes for technical diagnostic systems. Vol. 2: Weighted summation codes]. Moscow: Nauka Publ., 2021, 455 p. (In Russian)
16. Sagalovich Yu. L., Solomennikov V. Yu. Obnaruzhenie neispravnostey v skhemoy realizatsii sistema monotonnykh bulevykh funktsiy [Fault detection in circuit implementation of monotone Boolean function system]. *Problemy peredachi informatsii* [Problems of Information Transmission]. 1997, vol. 33, Iss. 2, pp. 81–93. (In Russian)
17. Dmitriev A., Sapozhnikov V., Sapozhnikov V., Goessel M. New Self-Dual Circuits for Error Detection and Testing. *VLSI Design*, 2000, vol. 11, Iss. 1, pp. 1–21.
18. Matrosova A. Yu., Levin I., Ostaniin S. A. Self-Checking Synchronous FSM Network Design with Low Overhead. *VLSI Design*, 2000, vol. 11, Iss. 1, pp. 47–58.
19. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
20. Yablonskiy S. V., ed. Sadovnicheva V. A. *Vvedenie v diskretnuyu matematiku* [Introduction to discrete mathematics]. Moscow: Vysshaya shkola Publ., 2003, 384 p. (In Russian)
21. Sapozhnikov V. V., Dmitriev A., Goessel M., Sapozhnikov V. V. Self-Dual Parity Checking — a New Method for on Line Testing. Proceedings of 14th IEEE VLSI Test Symposium, Princeton, USA, 1996, pp. 162–168.
22. Gessel M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov V. V. Samotestiruemyaya struktura dlya funktsional'nogo obnaruzheniya otkazov v kombinatsionnykh skhemakh [Self-testing structure for functional fault detection in combinational circuits]. *Avtomatika i telemekhanika* [Automation and Remote Control]. 1999, Iss. 11, pp. 162–174. (In Russian)
23. Sogomonyan E. S. Postroenie samoproveryaemykh skhem vstroennogo kontrolya dlya kombinatsionnykh ustroystv [Design of self-testing built-in control circuits for combinational devices]. *Avtomatika i telemekhanika* [Automation and Remote Control]. 1974, Iss. 2, pp. 121–133. (In Russian)
24. Aksenova G. P., Sogomonyan E. S. Postroenie samoproveryaemykh skhem vstroennogo kontrolya dlya avtomatov s pamyat'yu [Design of self-testing built-in control circuits for memory automata]. *Avtomatika i telemekhanika* [Automation and Remote Control]. 1975, Iss. 7, pp. 132–142. (In Russian)
25. Efanov D. V., Pivovarov D. V. Testery samodvoystvennykh i "blizkikh" k nim signalov [Testers of self-dual and "close" signals]. *Izvestiya vysshikh uchebnykh zavedeniy. Priborostroenie* [Higher Education News. Instrumentation]. 2024, vol. 67, Iss. 1, pp. 5–19. (In Russian)
26. Aksenova G. P. Vosstanovlenie v dublirovannykh ustroystvakh metodom invertirovaniya dannykh [Recovery in duplicated devices using data inversion method]. *Avtomatika i telemekhanika* [Automation and Remote Control]. 1987, Iss. 10, pp. 144–153. (In Russian)
27. Gessel M., Moshanin V. I., Sapozhnikov V. V., Sapozhnikov V. V. Obnaruzhenie neispravnostey v samoproveryaemykh kombinatsionnykh skhemakh s ispol'zovaniem svoystv samodvoystvennykh funktsiy [Fault detection in self-testing combinational circuits using properties of self-dual functions]. *Avtomatika i telemekhanika* [Automation and Remote Control]. 1997, Iss. 12, pp. 193–200. (In Russian)
28. Sapozhnikov V. V., Sapozhnikov V. V., Gessel M. *Samodvoystvennye diskretnyye ustroystva* [Self-dual discrete devices]. Saint Petersburg: Energoatomizdat Publ., 2001, 331 p. (In Russian)
29. Efanov D. V. Osobennosti realizatsii samoproveryaemykh struktur na osnove metoda invertirovaniya dannykh i lineynykh kodov [Features of implementation of self-testing structures based on data inversion and linear codes]. *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika* [Tomsk State University Journal. Control, Computer Engineering and Informatics]. 2023, Iss. 65, pp. 126–138. (In Russian)
30. Efanov D. V., Pogodina T. S. Issledovanie svoystv samodvoystvennykh kombinatsionnykh ustroystv s kontrolem vychisleniy na osnove kodov Khemminga [Study of Properties of Self-Dual Combinational Devices with Computation Control Based on Hamming Codes]. *Informatika i avtomatizatsiya* [Computer Science and Automation]. 2023, vol. 22, Iss. 2, pp. 349–392. (In Russian)
31. Lala P. K. *Self-Checking and Fault-Tolerant Digital Design*. San Francisco: Morgan Kaufmann Publishers, 2001, 216 p.
32. Aksenova G. P. Neobkhodimyye dostatochnyye usloviya postroyeniya polnost'yu proveryaemykh skhem svertki po modulyu 2 [Necessary and Sufficient Conditions for Constructing Fully Verifiable Modulo-2 Convolution Circuits]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 1979, Iss. 9, pp. 126–135. (In Russian)
33. Pospelov D. A. *Logicheskie metody analiza i sinteza skhem* [Logical methods of analysis and synthesis of circuits]. Moscow: Energiya Publ., 1968, 328 p. (In Russian)
34. Zakrevskiy A. D., Pottosin Yu. V., Cheremisina L. D. *Logicheskie osnovy proektirovaniya diskretnykh ustroystv* [Logical foundations of designing discrete devices]. Moscow: Fizmatlit Publ., 2007, 592 p. (In Russian)
35. Efanov D. V. Osobennosti ispol'zovaniya kodov Khemminga pri sinteze samoproveryaemykh tsifrovyykh ustroystv na osnove metoda invertirovaniya dannykh [Features of using Hamming codes in the synthesis of self-checking digital devices based on the data inversion method]. *Izvestiya vysshikh uchebnykh zavedeniy. Elektronika* [News of higher educational institutions. Electronics]. 2024, vol. 29, Iss. 3, pp. 379–392. (In Russian)
36. Efanov D. V., Pogodina T. S. Samodvoystvennye tsifrovyye ustroystva s kontrolem vychisleniy po kodam Syao. [Self-dual digital devices with computation control using Xiao codes]. *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika* [Bulletin of Tomsk State University. Management, computing engineering and informatics]. 2023, Iss. 63, pp. 118–136. (In Russian)
37. Efanov D. V., Pivovarov D. V. Sintez samoproveryaemykh diskretnykh ustroystv na osnove polinomial'nykh kodov s kontrolem vychisleniy po neskol'kim diagnosticheskim priznakam [Synthesis of self-checking discrete devices based on polynomial codes with computation control using several diagnostic features]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2025, Iss. 5, pp. 39–60. (In Russian)
38. Shalyto A. A. *Logicheskoe upravlenie. Metody apparatnoy i programnoy realizatsii* [Logical control. Methods of hardware and software implementation]. Saint Petersburg: Nauka Publ., 2000, 780 p. (In Russian)
39. Shalyto A. A. Moduli, universal'nye v klasse samodvoystvennykh funktsiy i v "blizkikh" k nim klassakh [Modules that are universal in the class of self-dual functions and in classes "close" to them]. *Izvestiya Rossiyskoy akademii nauk. Teoriya i sistemy upravleniya* [Bulletin of the Russian Academy of Sciences. Control Theory and Systems]. 2001, Iss. 5, pp. 110–120. (In Russian)