

СИНТЕЗ СХЕМ ВСТРОЕННОГО КОНТРОЛЯ ДЛЯ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ НА ОСНОВЕ ЛОГИЧЕСКОЙ КОРРЕКЦИИ СИГНАЛОВ С ПРИМЕНЕНИЕМ ПОЛИНОМИАЛЬНЫХ КОДОВ

ЕФАНОВ Дмитрий Викторович, докт. техн. наук, профессор, действительный член Международной Академии транспорта, член Института инженеров электротехники и электроники, профессор^{1, 3, 4}, заместитель генерального директора по научно-исследовательской работе²; e-mail: TrES-4b@yandex.ru

ГРАЧЕВ Алексей Андреевич, канд. техн. наук, директор¹; e-mail: springbird@mail.ru

ПИВОВАРОВ Дмитрий Вячеславович, канд. техн. наук, доцент⁵; e-mail: pivovarov.d.v.spb@gmail.com

АБДУЛЛАЕВ Руслан Борисович, канд. техн. наук, доцент, доцент⁴; e-mail: ruslan_0507@mail.ru

ЛЕСКОВЕЦ Игорь Вадимович, канд. техн. наук, доцент, заведующий кафедрой⁶; e-mail: le@bru.by

¹ Санкт-Петербургский политехнический университет Петра Великого, Институт машиностроения, материалов и транспорта, Высшая школа транспорта, Санкт-Петербург

² Научно-исследовательский и проектный институт «Транспортной и строительной безопасности» (ООО «НИПИ «ТрансСтройбезопасность»), Санкт-Петербург

³ Российский университет транспорта (МИИТ), кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте», Москва

⁴ Ташкентский государственный транспортный университет, кафедра «Автоматика и телемеханика», Ташкент

⁵ Петербургский государственный университет путей сообщения Императора Александра I, кафедра «Автоматика и телемеханика на железных дорогах», Санкт-Петербург

⁶ Белорусско-Российский университет, кафедра «Транспортные и технологические машины», Могилев

Предложено при синтезе схем встроенного контроля в структурах самопроверяемых цифровых устройств использовать логическую коррекцию сигналов с учетом характеристик обнаружения ошибок полиномиальными кодами. Показано, что схема встроенного контроля может организовываться путем выделения подмножеств преобразуемых и не преобразуемых выходов. В этом случае число элементов преобразования в схеме контроля может быть минимизировано и приравнено к числу проверочных символов в выбранном полиномиальном коде. Установлены условия синтеза полностью самопроверяемых схем встроенного контроля на основе логической коррекции сигналов с применением полиномиальных кодов. Разработаны алгоритмы синтеза схем встроенного контроля, позволяющие решить задачу их организации с учетом особенностей топологии самого объекта диагностирования и характеристик обнаружения ошибок в информационных символах полиномиальными кодами. Также при синтезе схем встроенного контроля могут учитываться характеристики обнаружения ошибок во всем кодовом слове полиномиальными кодами. Полиномиальные коды могут эффективно применяться при синтезе схем встроенного контроля на основе логической коррекции сигналов, что позволяет синтезировать самопроверяемые цифровые устройства с наименьшими показателями сложности технической реализации. Представленные результаты целесообразно учитывать при разработке устройств и систем критического применения.

Ключевые слова: самопроверяемые цифровые устройства, схема встроенного контроля, комбинационные устройства автоматики и вычислительной техники, логическая коррекция сигналов, полиномиальные коды.

DOI: 10.20295/2412-9186-2024-10-02-190-220

▼ Введение

При синтезе систем управления транспортными технологическими процессами, относящихся к системам критического применения, разработчики часто фокусируют свое внимание на достижении свойств контролепригодности, самопроверяемости и отказоустойчивости бло-

ков и составляющих подсистем [1–5]. При этом требуется внесение аппаратной, информационной и временной избыточности в исходные объекты для достижения свойства своевременного обнаружения и парирования возникающих в вычислениях ошибок, а также локализации источника ошибки — неисправности.

Одним из действенных подходов является использование для устройств управления схем встроенного контроля (СВК), позволяющих в процессе эксплуатации без отключения их от управляемых объектов определять наличие ошибок в вычислениях. Исследования показывают, что эффективным при синтезе СВК является использование так называемой логической коррекции сигналов (ЛКС)¹ [6–8].

При использовании ЛКС подразумевается преобразование рабочего вектора $\langle f_n f_{n-1} \dots f_2 f_1 \rangle$, формируемого на выходах контролируемого устройства $F(x)$ (объекта диагностирования), в кодовое слово $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$, принадлежащее заранее выбранному двоичному блоковому равномерному коду [9–12]. Такое преобразование осуществляется с использованием q ($q \leq n$) двухвходовых элементов сложения по модулю $M=2$ (XOR)² по правилу: $h_i = f_i \oplus g_i$, $i = \overline{1, q}$, где функции g_i , $i = \overline{1, q}$ — контрольные функции, вычисляемые специальным блоком контрольной логики $G(x)$. Преобразовываться могут как все функции f_i , $i = \overline{1, n}$, так и только часть из них (необходимость преобразования значения рабочей функции определяется диагностическим признаком, выбранным для контроля вычислений). СВК организуется по структуре, представленной на рис. 1.

В СВК, реализуемой на основе ЛКС, выделяется три функциональных блока: блок вычисления контрольных функций дополнения $G(x)$, блок коррекции сигналов (БКС) и тестер (TSC). БКС образуется каскадом двухвходовых элементов XOR , предназначенных для преобразования значений рабочих функций. К одному из входов каждого элемента преобразования подключается определенный выход объекта диагностирования, а ко второ-

му входу — одноименный выход блока $G(x)$. На выходе БКС формируется кодовый вектор $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$. На этапе проектирования СВК выбирается диагностический признак, по которому осуществляется процедура контроля вычислений в объекте диагностирования, например, принадлежность формируемого кодового вектора $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$ заранее выбранному двоичному блоковому равномерному коду. На каждой входной комбинации устанавливается однозначное соответствие между векторами $\langle f_n f_{n-1} \dots f_2 f_1 \rangle$ и $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$, проверяемое в процессе эксплуатации устройства с СВК схемой тестера. Так как тестер является «последним сторожем» в СВК, он реализуется полностью самопроверяемым и снабжается двумя контрольными выходами z^0 и z^1 [13]. Парафазный сигнал на обоих выходах z^0 и z^1 свидетельствует о корректности вычислений блоком $F(x)$. Нарушение парафазности сигнала на выходах z^0 и z^1 служит сигналом ошибки в вычислениях в одном из блоков СВК или в самом объекте диагностирования.

В отличие от традиционного подхода к синтезу СВК — вычисления проверочных символов — при использовании ЛКС подразумевается преобразование значений рабочих функций объекта диагностирования в СВК, а не дополнение их значениями контрольных функций [1, 2, 10–12]. Эта особенность ЛКС дает возможность получения большого количества реализаций СВК, так как позволяет выполнять преобразования сигналов в СВК разнообразными способами. При этом гораздо проще обеспечивается подача полного множества тестовых комбинаций на элементы XOR в БКС и непосредственно на сам TSC . Использование ЛКС, как показано в большом количестве работ, например, в [8], позволяет на практике не только получать полностью самопроверяемые структуры вычислительных систем с избыточностью, меньшей, чем при дублировании, но и выбирать наименее избыточные из них. Кроме того, удается обеспечивать самопроверяемость элементов СВК даже в тех случаях, когда традиционные методы не позволяют этого делать.

В качестве кода, лежащего в основе организации СВК, может быть выбран любой равномерный блоковый код: это может быть один из

¹ «Логическую коррекцию сигналов» также называют в некоторых публикациях «логическим дополнением», однако этот термин не совсем верно отражает суть самого процесса. Будем считать эти два термина синонимами, для более простого ознакомления читателей с более ранними результатами исследований в данной отрасли технической диагностики.

² Также для логической коррекции можно использовать и другие элементарные функции (например, функцию равнозначности без каких-либо ограничений и некоторые другие элементарные функции с определенными ограничениями (использование не универсально) — не для любых значений функций, реализуемых на выходах объекта диагностирования, можно будет выполнить коррекцию в 0 или 1).

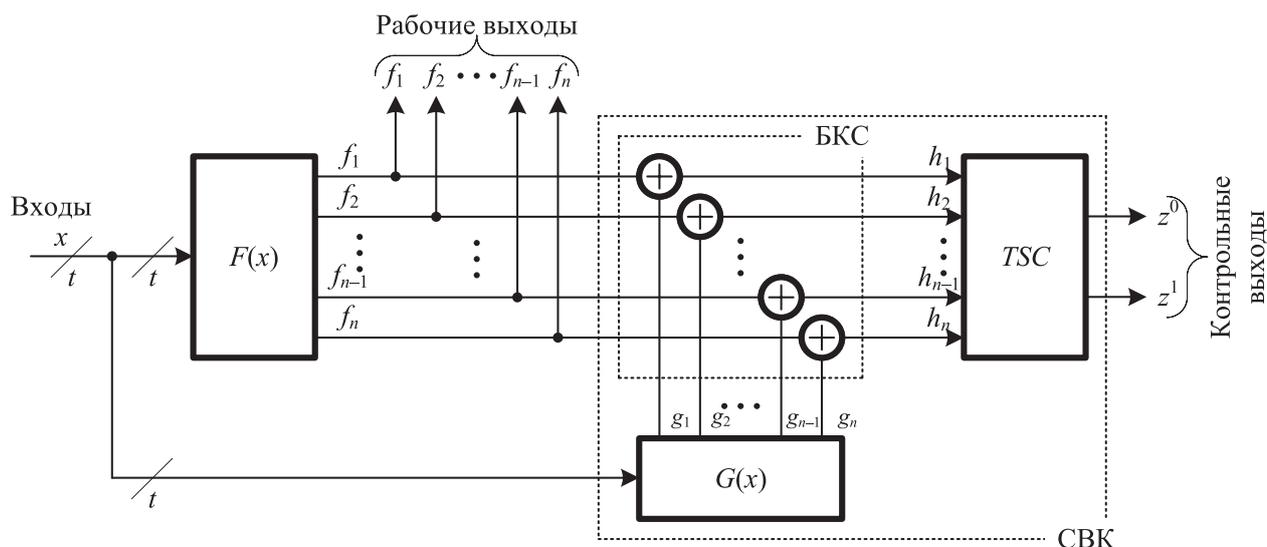


Рис. 1. Обобщенная структура организации СВК, реализованной на основе ЛКС

неразделимых кодов, например, равновесный код [14] или код Бордена [15], либо один из разделимых кодов, например, коды Бергера [16], Хэмминга [17] или какие-либо из их модификаций [10–12].

В мировой научной литературе наиболее проработанными являются вопросы теории синтеза СВК на основе ЛКС с применением именно неразделимых кодов [18–21]. Гораздо меньше внимания уделено возможностям применения в этих целях разделимых кодов [22–24]. Такая особенность связана с тем, что при возникновении неисправности в блоке $F(x)$ искажение может возникнуть на любом из выходов f_i , $i = \overline{1, n}$, а значит, оно будет гарантированно транслироваться при одиночной неисправности в объекте диагностирования на выходы БКС и исказить соответствующие разряды в кодовом векторе $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$. Если речь идет о неразделимых кодах, то в данном случае свойства обнаружения ошибок кодом в кодовых словах будут полностью определять и особенности фиксации возникающих при вычислениях ошибок схемой тестера. Если же при синтезе СВК будет применен разделимый код, то искажение может возникнуть как в информационных, так и в проверочных символах. Таким образом, при построении полностью самопроверяемого устройства накладывается дополнительное ограничение на применение разделимых кодов на основе ЛКС — исключение

возникновения необнаруживаемых ошибок как в информационных символах, так и одновременно возникающих ошибок в информационных и проверочных символах. Это условие служит для упрощения процесса синтеза полностью самопроверяемой СВК [23].

Наличие БКС также исключает применение широко известных методов синтеза СВК, подразумевающих использование свойства монотонности проявления ошибок в разрядах (так называемые монотонные реализации исходных устройств $F(x)$, или контроль устройства по группам монотонно независимых выходов) [24–29]. Даже при монотонной реализации блока $F(x)$ или выделении групп монотонно независимых выходов будет существовать возможность нарушения монотонности функций в СВК. Однако существуют иные схемотехнические способы организации полностью самопроверяемых СВК в этом случае.

Настоящая статья посвящена изложению особенностей применения для синтеза СВК на основе ЛКС полиномиальных, или алгебраических, кодов [30–32], широко используемых для контроля вычислений в современных микроэлектронных и микропроцессорных системах [33–36]. Авторами рассматриваются вопросы разработки способов организации СВК на основе ЛКС с учетом характеристик обнаружения ошибок полиномиальными кодами [37, 38].

1. Постановка задачи

В процессе эксплуатации системы, реализованной по структурной схеме рис. 1, могут возникать неисправности, приводящие к сбоям и устойчивым отказам. Наиболее вероятными являются одиночные неисправности, которые происходят в одном из функциональных блоков структуры. СВК реализуется полностью самопроверяемой, что подразумевает возможность проявления любой неисправности из выбранной модели в виде защитных комбинаций на выходах z^0 и z^1 хотя бы на одной из входных комбинаций [13]. Самопроверяемая схема должна быть самотестируемой (для каждой неисправности есть своя тестовая комбинация, позволяющая транслировать ее на выходы схемы) и защищенной от неисправностей (любая неисправность либо не искажает выходов, либо устанавливает их в защитные состояния). Неисправность же, возникающая в объекте диагностирования $F(x)$, может приводить к возникновению искажений сразу же на нескольких выходах. Другими словами, вызывать ошибку кратностью $d \in \{1, 2, \dots, n\}$ в выходном (информационном) векторе. Для того чтобы вся структура была полностью самопроверяемой помимо полной самопроверяемости СВК должны быть выполнены следующие условия:

- 1) схема $F(x)$ должна быть проверяемой, то есть хотя бы на одной входной комбинации неисправность должна проявиться в виде ошибки в информационном векторе;
- 2) ошибка на выходах блока $F(x)$ не должна быть скомпенсирована на входах СВК, то есть не должна восприниматься в СВК в виде допустимой (рабочей) комбинации.

Первая задача решается путем синтеза контролепригодной структуры блока $F(x)$. Вторая же задача решается как схемотехническим путем, так и путем выбора способа кодирования выходного вектора.

Поставим следующую задачу. Пусть имеется некоторое устройство $F(x)$ с известной структурой, снабженное выходами $f_1, f_2, \dots, f_{n-1}, f_n$. Требуется реализовать самопроверяемое устройство относительно модели одиночных константных неисправностей с СВК, синтезированной на основе ЛКС и конкретного полиномиального кода.

При решении поставленной задачи будем использовать методы дискретной математики, технической диагностики, булевой алгебры, булевого дифференцирования, теории кодирования, теории вероятностей и теории оптимизации логических схем.

2. Структура схемы встроенного контроля на основе логической коррекции сигналов с применением полиномиальных кодов и частичным преобразованием выходов объекта диагностирования

На рис. 2 приведена обобщенная структура организации СВК устройства $F(x)$ на основе ЛКС и произвольного делимого равномерного блочного кода. В ней m выходов объекта диагностирования не преобразуются и подаются непосредственно на входы тестера TSC . Значения же на оставшихся $k = n - m$ выходах корректируются в БКС, после чего поступают на входы TSC . На входах тестера формируется кодовое слово, принадлежащее блочному коду (m, k) , где m и k — число информационных и проверочных символов.

Несомненным преимуществом представленной структуры является возможность большего числа способов выбора преобразуемых функций. Это число равно C_n^k . Более того, в реальных приложениях имеет значение последовательность расположения символов как в контрольном векторе, так и в информационном. Число вариантов перестановок проверочных символов в контрольном векторе определяется величиной P_k . Число вариантов перестановок информационных символов в информационном векторе определяется величиной P_{n-k} . Учитывая вышеизложенное, общее количество вариантов организации СВК по представленной на рис. 2 структуре с преобразованием только k выходов объекта диагностирования, соответствующих проверочным символам кодовых слов полиномиальных кодов, определяется величиной:

$$N = C_n^k P_k P_{n-k} = \frac{n!}{k!(n-k)!} k!(n-k)! = n! \quad (1)$$

Естественно, чем больше число выходов у объекта диагностирования, тем больше число N : при $n=5$ имеем $N=120$, при $n=10$

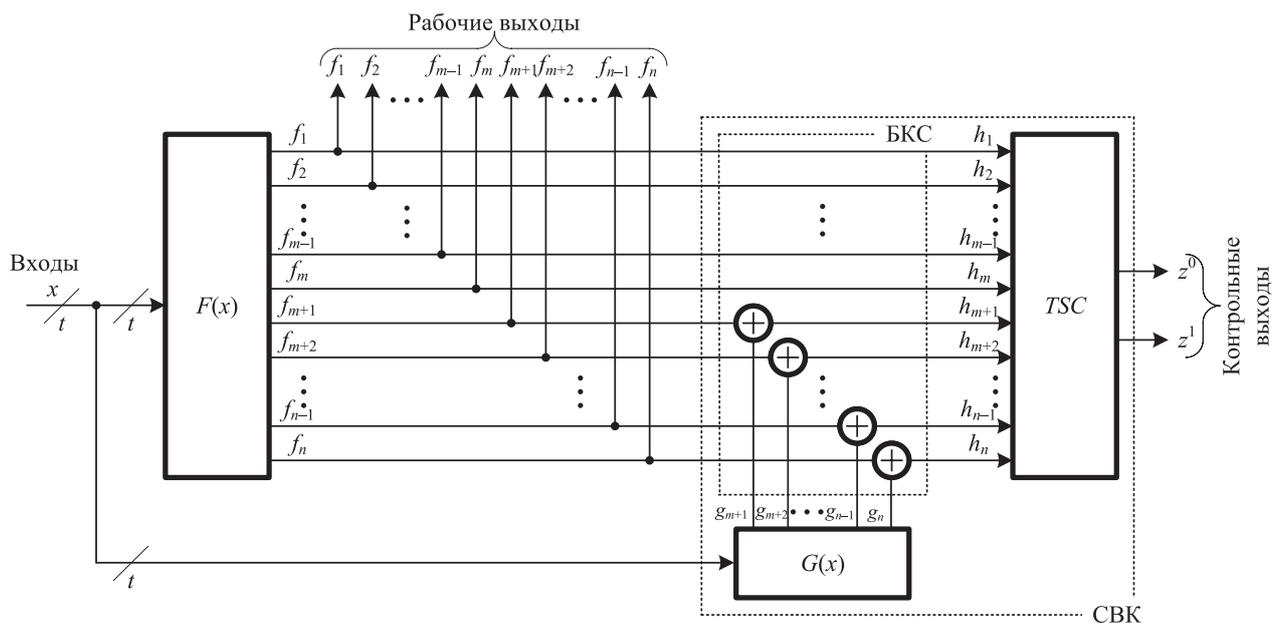


Рис. 2. Обобщенная структура организации СВК, реализованная на основе ЛКС, с применением разделимых равномерных блоковых кодов

имеем $N=3\,628\,800$, при $n=20$ имеем $N=2\,432\,902\,008\,176\,640\,000$, и т. д. И здесь еще не учитываются возможности выделения различных групп для контроля по отдельным СВК с применением полиномиальных кодов. При таком числе способов организации СВК существует выбор в возможностях обеспечения самопроверяемости элементов СВК и выбора структуры с наименьшими показателями сложности технической реализации.

Рассмотрим способы решения сформулированной выше задачи при условии того, что будет использовано минимальное количество элементов преобразования в БКС. Это достигается в том случае, если часть выходов $f_1, f_2, \dots, f_{n-1}, f_n$ будут формировать значения информационных символов, а часть — корректироваться и формировать значения проверочных символов. В [39, рис. 2] приведены частные случаи представленной на рис. 2 структуры при $k=2, 3$.

3. Принципы выделения преобразуемых выходов

Авторами ранее были достаточно полно изучены характеристики обнаружения ошибок полиномиальными кодами в традиционной структуре СВК и влияние неисправностей кон-

тролируемых устройств на результаты вычислений функций, описывающих информационные символы [37, 38]. Фактически известны характеристики обнаружения ошибок на тех выходах структуры рис. 2, которые не преобразовывались в БКС. Например, в [39, 40] приведены порождающие полиномы для кодов, обнаруживающих ошибки с заданными кратностями d . Эту информацию можно использовать как справочную при синтезе СВК.

Будем далее рассматривать такой способ синтеза СВК на основе полиномиального кода, который подразумевает коррекцию в БКС только тех сигналов от объекта диагностирования, которые влияют на значения проверочных символов кодовых слов в СВК [23].

Если разделить подсистемы вычисления информационных и проверочных символов, то можно существенно сократить вероятность появления необнаруживаемых ошибок за счет исключения одновременных искажений и информационных и проверочных символов. Таким образом, становится понятным, что характеристики обнаружения ошибок полиномиальными кодами в информационных символах, установленные в [37, 38], являются определяющими в процессе синтеза СВК на основе ЛКС.

Если подмножество выходов независимо от другого подмножества выходов логического устройства, то для логического элемента G_q с выходной функцией y_q в его структуре выполняется условие [23]:

$$\left(\frac{\partial f_a}{\partial y_q} \vee \frac{\partial f_b}{\partial y_q} \vee \dots \vee \frac{\partial f_k}{\partial y_q} \right) \left(\frac{\partial f_{i_1}}{\partial y_q} \vee \frac{\partial f_{i_2}}{\partial y_q} \vee \dots \vee \frac{\partial f_{i_s}}{\partial y_q} \right) = 0, \quad (2)$$

где группа выходов (f_a, f_b, \dots, f_k) , $a, b, \dots, k \in \{1, 2, \dots, n\}$, $\{f_{i_1}, f_{i_2}, \dots, f_{i_s}\} = \{f_1, f_2, \dots, f_n\} \setminus \{f_a, f_b, \dots, f_k\}$.

Если удастся обеспечить условие (2), то выделяются группы независимых выходов устройства, что позволяет исключить одновременные ошибки в информационных и проверочных символах полиномиальных кодов. В этом случае выходы одной из независимых групп (например, включающей в себя малое число выходов устройства) относятся к преобразуемым выходам, а выходы второй группы — к непреобразуемым выходам в СВК. Как отмечено выше, любые комбинации искажений в группе преобразуемых выходов будут обнаружены.

Для реализации полностью самопроверяемой СВК требуется исключить возникновение необнаруживаемых ошибок в группе не преобразуемых выходов. Для этого эффективно может использоваться выделение так называемых r -независимых групп выходов (H^r -групп) [41] с последующим их контролем по полиномиальным кодам.

Группа выходов цифрового устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_s}\}$, $i_1, i_2, \dots, i_s \in \{1, 2, \dots, n\}$ является r -независимой группой выходов (H^r -группой), если неисправность выхода любого логического элемента G_q его структуры искажает значения не более r выходов группы.

Множество выходов цифрового устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_s}\}$, $s \geq r + 1$ образует H^r -группу, если для каждого из C_s^{r+1} подмножеств из $r + 1$ его выходов и для каждого элемента G_q его внутренней структуры выполняется условие:

$$\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_{s+1}}}{\partial y_q} = 0. \quad (3)$$

H^r -группу можно контролировать с помощью полиномиального кода, обнаруживающего любые ошибки с кратностями $d \in \{1, 2, \dots, r\}$. Возвращаясь к работам [39, 40], отметим воз-

можность применения полиномиальных кодов со свойствами обнаружения ошибок с кратностями $d \leq r$. Например, эффективным может оказаться применение для контроля выделения H^1 , H^2 и H^3 групп входов объектов диагностирования с покрытием их полиномиальными кодами с обнаружением ошибок с соответствующими кратностями. Кроме того, может быть обобщен алгоритм построения схемы с единой независимой группой выходов [1] для построения структуры с единой H^r -группой выходов.

Далее полиномиальные коды будем обозначать как PN , где N — десятичное число, соответствующее представлению порождающего полинома в двоичном виде (к примеру, полиному $x^4 + x^3 + x + x^0$ можно сопоставить двоичное число 11011, единица в каждом разряде которого указывает на наличие соответствующего члена в полиноме, а ноль — на его отсутствие; данному двоичному числу соответствует десятичное число 27). Количество информационных символов (длина информационного вектора) обозначено через m . Число проверочных символов в кодовом слове кода PN определяется величиной $k = \lceil \log_2(N + 1) \rceil - 1$ и равно степени порождающего полинома.

4. Алгоритмы синтеза схем встроенного контроля на основе логической коррекции сигналов с применением полиномиальных кодов

Пользуясь введенными в предыдущем разделе статьи положениями, можно сформировать алгоритмы синтеза СВК на основе ЛКС с применением полиномиальных кодов.

Ясно, что простейшим случаем является построение СВК с произвольным разбиением выходов устройства на два подмножества. Однако при этом число необнаруживаемых ошибок будет наибольшим. Выбирая группы функционально независимых выходов в устройстве на основе формулы (2), можно исключить возникновение тех ошибок, которые связаны с одновременными искажениями и информационных и проверочных символов на входах тестера. Ошибки, связанные с искажениями непреобразуемых выходов, могут не обнаруживаться. Характеристики обнаружения ошибок определяются особенностями выбранного для организации СВК кода.

Следующий алгоритм позволяет строить СВК с исключением одновременных искажений в информационных и проверочных символах, но с частичным покрытием ошибок в информационном векторе (рис. 3). Он основывается на предварительном выборе числа преобразуемых функций k объекта диагностирования. Строится структура, представленная на рис. 2. При этом выбирается значение N , позволяющее построить код PN с числом проверочных символов, равным k . Так как $k = \lceil \log_2(N+1) \rceil - 1$, то данному выражению удовлетворяет 2^k значений N . Данные

числа составляют список $N = \{N_1, N_2, \dots, N_{2^k}\}$. Выбирается первое число из списка и для него строится СВК по структуре рис. 2. Проверяется показатель достоверности контроля выбранным способом:

$$p_i = \frac{M - M'}{M}, \quad (4)$$

где M — общее число возникающих на выходах устройства ошибок;

M' — общее число не обнаруженных с помощью выбранного полиномиального кода ошибок.

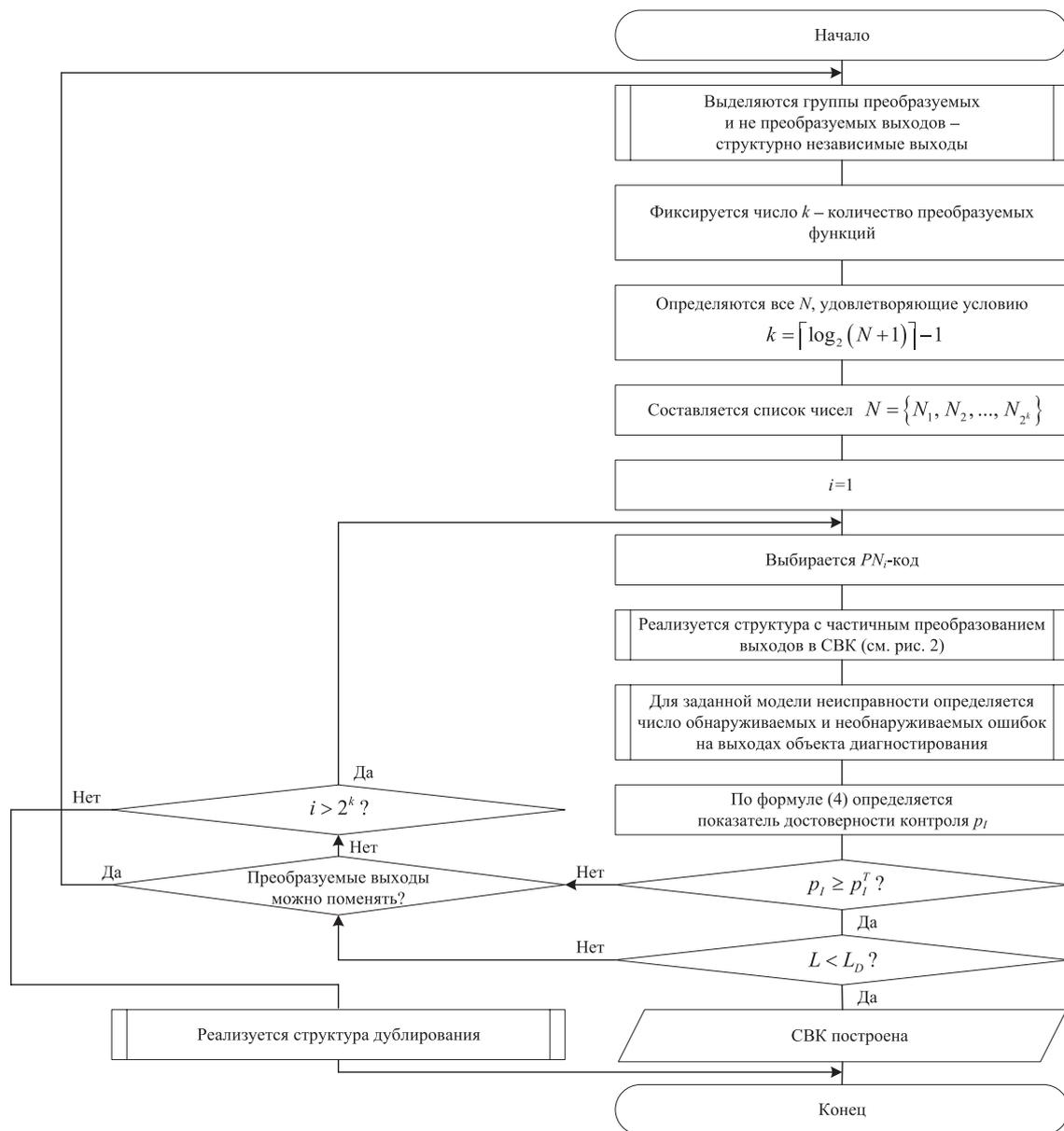


Рис. 3. Алгоритм синтеза СВК на основе ЛКС с применением полиномиальных кодов с использованием одной контрольной группы выходов с неполным покрытием ошибок

Если указанный показатель устраивает проектировщика СВК, то есть $p_i \geq p_i^T$, где p_i^T — ранее установленное значение показателя достоверности, то переходят к следующему шагу. Он состоит в определении показателя сложности реализации СВК (числа L) и последующем его сравнении со сложностью реализации СВК по стандартному методу дублирования (с числом L_D). Если $L < L_D$, то строится СВК по предложенному методу. Иначе — проверяется возможность замены выходов для преобразования в СВК и выбора числа N .

На рис. 4 для примера изображено комбинационное логическое устройство из [39].

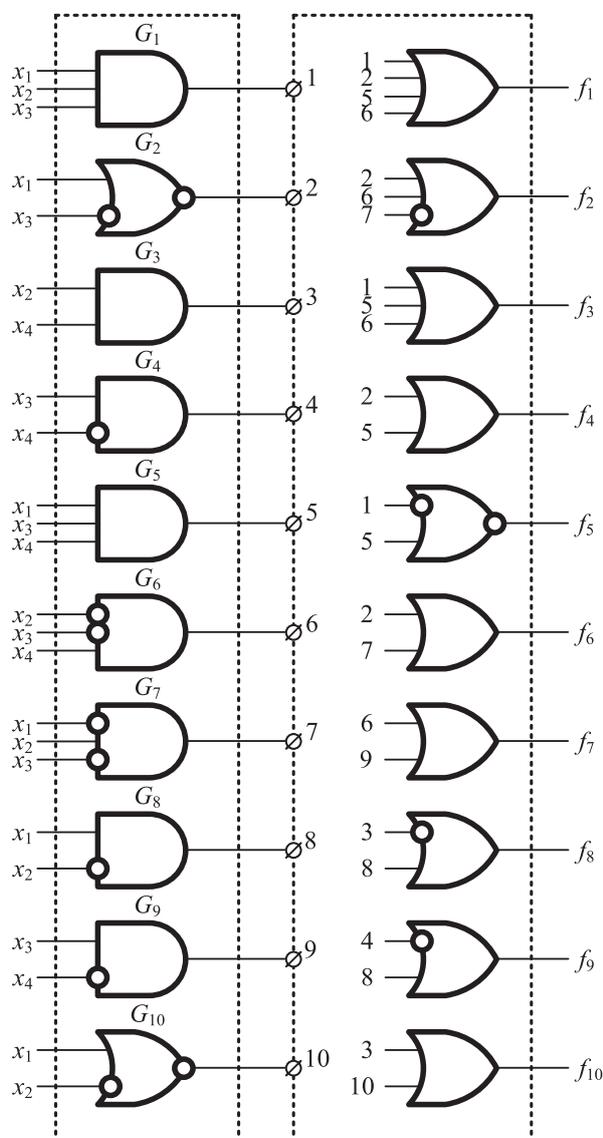


Рис. 4. Двухуровневое комбинационное устройство

В табл. 1 и 2 дается описание зависимостей выходов. Знаком «x» на пересечении строк и столбцов табл. 1 отмечены те выходы, которые связаны путями с элементами G_1, \dots, G_{10} первого каскада. В табл. 2 литерами «З» и «Н» показаны соответственно зависимые и независимые выходы устройства. Знак «-» проставлен в тех клетках табл. 2, для которых не требуется указание принадлежности выходов к группам зависимых или независимых.

Таблица 1. Матрица зависимостей выходов и логических элементов первого каскада

Элементы первого каскада	Выходы устройства									
	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}
G_1	x		x		x					
G_2	x	x		x		x				
G_3								x		x
G_4									x	
G_5	x		x	x	x					
G_6	x	x	x				x			
G_7		x					x			
G_8								x	x	
G_9							x			
G_{10}										x

Таблица 2. Матрица зависимостей выходов комбинационного устройства

Выходы устройства	Выходы устройства									
	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}
f_1	-	-	-	-	-	-	-	-	-	-
f_2	З	-	-	-	-	-	-	-	-	-
f_3	З	З	-	-	-	-	-	-	-	-
f_4	З	З	З	-	-	-	-	-	-	-
f_5	З	Н	З	З	-	-	-	-	-	-
f_6	З	З	Н	З	Н	-	-	-	-	-
f_7	З	З	З	Н	Н	Н	-	-	-	-
f_8	Н	Н	Н	Н	Н	Н	Н	-	-	-
f_9	Н	Н	Н	Н	Н	Н	Н	З	-	-
f_{10}	Н	Н	Н	Н	Н	Н	Н	З	Н	-

Анализ таблиц 1 и 2 позволяет заключить следующее: подмножество выходов $\{f_8, f_9, f_{10}\}$ образует группу независимых от второго подмножества $\{f_1, f_2, f_3, f_4, f_5, f_6, f_7\}$ выходов.

Из табл. 2 в [39] следует, что можно организовать контроль представленного устройства с использованием кода $P11$ либо $P13$. Такие коды будут иметь $k=3$ проверочных символа и для заданного устройства $m=7$ информационных символов. При указанном числе информационных символов и код $P11$, и код $P13$ будет обнаруживать любые одно- и двукратные ошибки на выходах схемы.

При рассмотрении, например, модели одиночных константных неисправностей логических элементов внутренней структуры (stuck-at-faults), общее количество ошибок на выходах устройства будет определяться величиной: $M = 2^i(2N_G)$, где первый сомножитель дает общее число входных комбинаций, а второй — общее число одиночных константных неисправностей устройства. В данном случае $M = 2^4 \cdot (2 \cdot 20) = 640$. Из табл. 1 настоящей статьи непосредственно следует, что не обнаруженными могут оказаться неисправности элементов G_1, G_2, G_5 и G_6 , так как эти элементы связаны путями с более чем двумя выходами устройства.

Анализ одиночных константных неисправностей для обозначенных элементов в структуре комбинационного устройства показал, что при контроле по коду $P13$ не обнаруженной оказывается только одна трехкратная монотонная ошибка, вызванная неисправностью типа «константа 0» на выходе элемента G_5 на входном наборе 1011 (0,156% от общего числа ошибок на выходах устройства). Кодом $P11$ не обнаруживается значительно больше ошибок — 13 (2,032% от общего числа ошибок на выходах устройства). Сюда входят 7 четырехкратных монотонных ошибок, вызванных неисправностью типа «константа 1» на выходе элемента G_5 на входных наборах 0000, 0100, 0101, 1000, 1010, 1100, 1101, 1 трехкратная монотонная ошибка, вызванная неисправностью типа «константа 0» на выходе элемента G_6 на входном наборе 0001, 5 трехкратных монотонных ошибок, вызванных неисправностью типа «константа 1» на выходе элемента G_6 на входных наборах 0001, 0101, 1000, 1100, 1101.

Таким образом, показатель достоверности контроля ошибок на выходах устройства с помощью кода $P13$ составляет $p_l = \frac{640-1}{640} \approx 0,998$.

При использовании кода $P11$ показатель достоверности равен $p_l = \frac{640-13}{640} \approx 0,98$. Применение

обоих кодов при организации СВК для заданного устройства целесообразно при пороговом значении величины $p_l < 0,98$. Приоритет, естественно, имеет код $P13$, идентифицирующий все ошибки, кроме одной.

Можно повысить число обнаруживаемых $P11$ и $P13$ кодами ошибок на выходах рассматриваемого устройства за счет использования резервирования в первом каскаде его структуры. К примеру, для исключения единственной необнаруживаемой кодом $P13$ ошибки необходимо резервировать элемент G_5 , соединить входы элементов второго каскада для выходов устройства f_1 и f_3 с выходом одной из копий, а соединить входы элементов второго каскада для выходов устройства f_4 и f_5 — с другой. Аналогично резервирование элемента G_6 с разделением выходов на пары f_1, f_3 и f_2, f_5 исключит все необнаруживаемые кодом $P11$ ошибки.

Для повышения числа обнаруживаемых ошибок могут быть использованы различные схемотехнические способы, к которым относятся:

- контроль ошибок на выходах устройства с помощью выделения групп выходов и применения полиномиальных кодов с меньшим числом информационных символов;
- контроль ошибок на выходах устройства с помощью выделения H^2 -групп выходов и выбора специальных полиномиальных кодов, идентифицирующих подобные искажения;
- преобразование структуры исходного устройства в структуру, выходы которой образуют H^2 -группу.

Обозначенные подходы описаны в ряде изданий для использования совместно с кодами с суммированием, например, в монографиях [10–12].

Из результатов исследований характеристик полиномиальных кодов [37, 38] становится понятным, что с увеличением числа

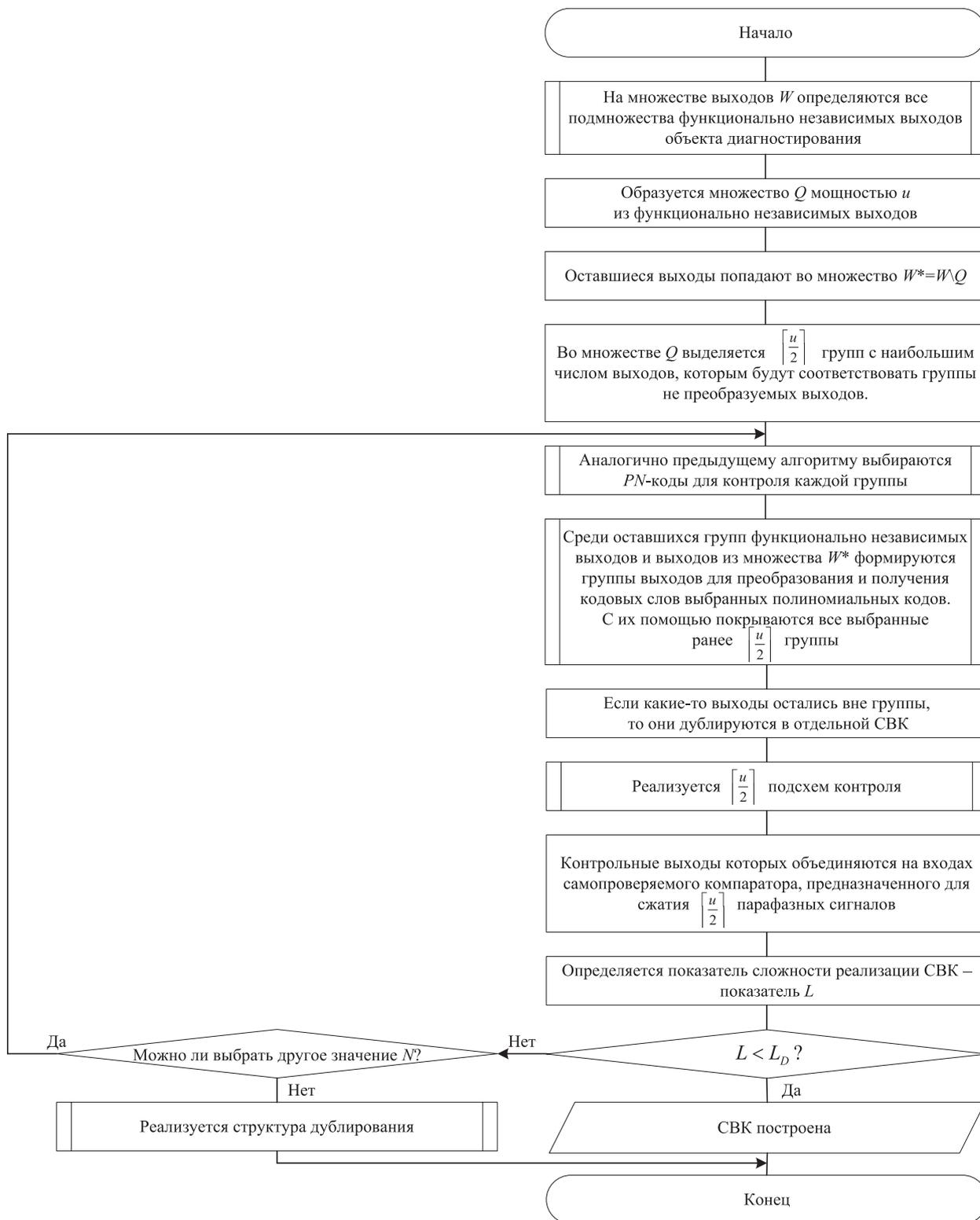


Рис. 5. Алгоритм синтеза СВК на основе ЛКС с применением полиномиальных кодов и использованием нескольких контрольных групп выходов с неполным покрытием ошибок

информационных символов в условиях фиксации числа проверочных символов появляются двукратные необнаруживаемые кодом ошибки, что приводит к увеличению числа не обнаруживаемых ошибок на выходах контролируемых устройств. В этом случае целесообразно осуществлять контроль выходов по группам (рис. 5).

На рис. 6 для примера приведена структура организации СВК при выделении p групп контролируемых выходов по полиномиальным кодам (для упрощения схемы не показаны рабочие выходы системы). В этом случае фактически реализуются p независимых СВК для каждой из подгрупп выходов с выделением подмножеств преобразуемых и не преобразуемых выходов. При этом независимыми должны быть только группы преобразуемых и не преобразуемых выходов внутри каждой отдельно контролируемой группы выходов устройства $F(x)$. Других ограничений на выходы не накладывается. Другими словами, p подгрупп преобразуемых выходов могут быть зависимыми, также как и p подгрупп не преобразуемых выходов, используемых в различных СВК.

Все элементы СВК являются стандартными, за исключением блоков контрольной логики $G_1(x), \dots, G_p(x)$, которые синтезируются индивидуально для каждой из подгрупп выходов конкретного устройства $F(x)$. Возможна их совместная оптимизация и реализации

на их совместная оптимизация и реализации

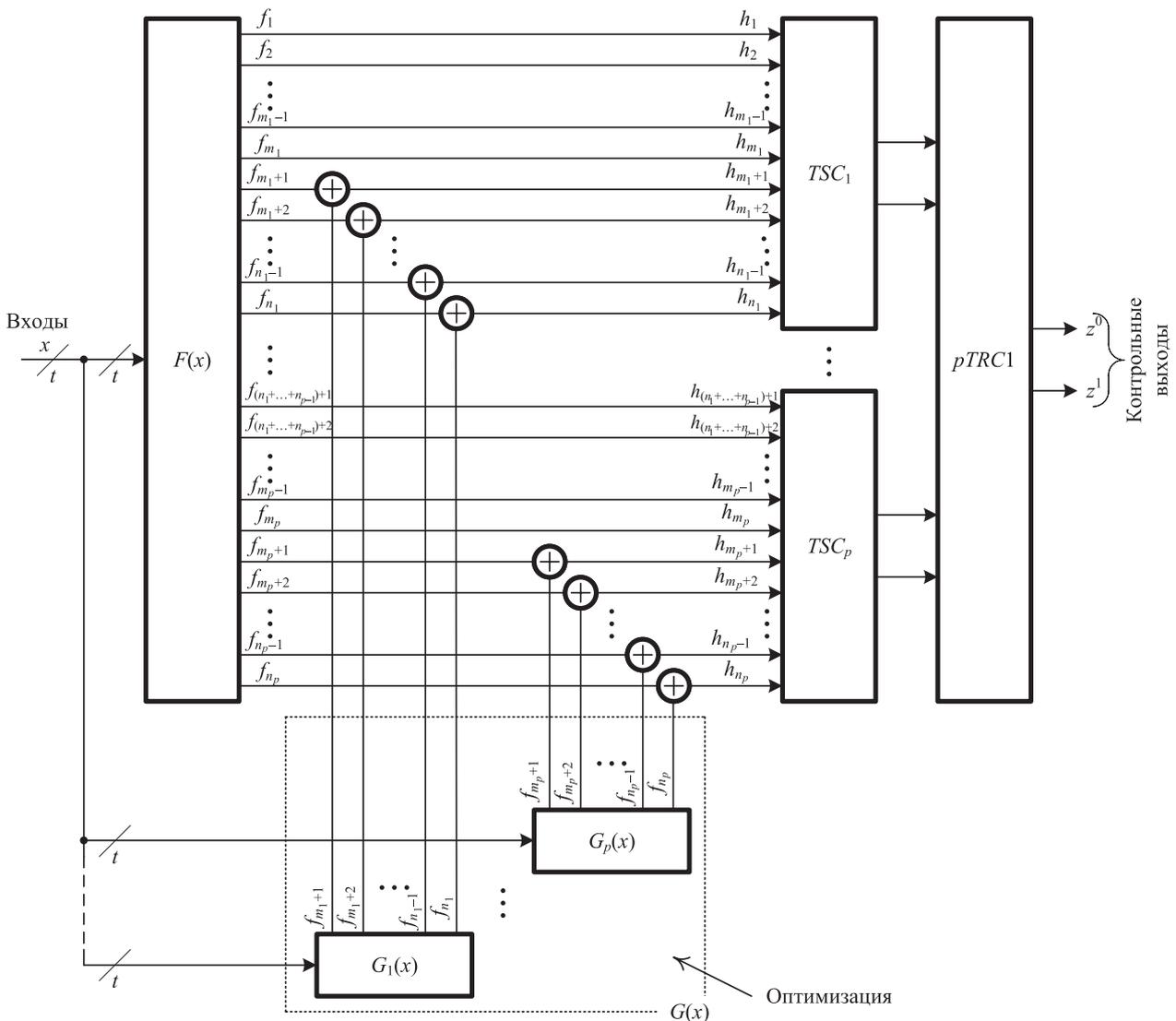


Рис. 6. Обобщенная структура организации СВК на основе ЛКС с применением полиномиальных кодов с групповым контролем выходов

в виде единого блока $G(x)$. Первая группа выходов контролируется на основе выбранного полиномиального кода с помощью тестера TSC_1 , вторая группа выходов — на основе другого выбранного полиномиального кода с помощью тестера TSC_2 и т. д. до p -й группы, контролируемой с помощью TSC_p . Выходы тестеров объединяются с помощью компаратора $pTRC1$, реализуемого на основе $p-1$ элемента сжатия парафазных сигналов TRC [42], выходы которого являются одновременно и выходами системы диагностирования.

Необходимо подчеркнуть, что реализуемая по первому и второму алгоритмам (рис. 4 и 5) СВК в общем случае полностью самопроверяемой не будет, так как не будет гарантированно обнаружение любых ошибок на выходах объекта диагностирования. Для обеспечения полной самопроверяемости необходимо использовать контроль по r -независимым группам выходов.

Используя приведенные в [39, табл. 1 и 2] полиномы для построения полиномиальных кодов, можно сформировать алгоритм синтеза СВК с выделением H^r -групп выходов на множестве выходов объекта диагностирования. При этом необходимо добавить, что число информационных символов для каждого кода с обнаружением всех ошибок с кратностями $d \leq r$ будет ограничено. Приведем пример такого алгоритма для случая поиска H^2 -групп выходов (рис. 7). Поиск H^2 -групп выходов позволяет перейти к организации СВК с полным покрытием ошибок (рис. 8).

Алгоритм поиска H^2 -групп выходов легко обобщается для использования H^r -групп выходов (рис. 9). Однако тут становится гораздо больше шагов, связанных с анализом структуры самого объекта диагностирования.

Представленный на рис. 9 алгоритм, в отличие от алгоритма, изображенного на рис. 7, требует предварительного поиска всех H^r -групп. Эта процедура связана с последовательным анализом всех групп выходов C_n^γ , $\gamma = \{2, 3, \dots, n\}$. Общее количество анализируемых групп составляет, таким образом,

$$\sum_{\gamma=2}^n C_n^\gamma = 2^n - (C_n^0 + C_n^1) = 2^n - n - 1. \quad (5)$$

Далее может быть выбран любой критерий для выбора способа покрытия n выходов устройства H^r -группами. Например, в [43] в качестве такого критерия в схожей задаче покрытия выступает минимум групп. Однако такой подход не всегда дает наилучший вариант, например, в метриках сложности технической реализации устройств. С этой позиции целесообразно предварительно оценить сложность реализации СВК для каждой выделенной H^r -группы. Затем определить наилучший вариант покрытия путем выбора такого способа покрытия, который дает минимальные значения показателя сложности технической реализации. Тем не менее на практике эта задача может оказаться трудоемкой. Ведь верхняя оценка числа выделяемых групп — это выражение (5). Из (5) следует, что сложность вычислений по времени определяется величиной $2^{O(n)}$ (задача решается за экспоненциальное время с линейной экспонентой). В этом состоит основной минус представленного на рис. 9 алгоритма. Он будет эффективен для комбинационных устройств с ограниченным числом выходов n . Ограничение определяется мощностью современных вычислительных машин и составляет $n=30\dots35$. В случаях рассмотрения устройства с большим числом выходов потребуются декомпозиция функций объекта диагностирования [44] и выделение подмножеств с мощностями, менее $30\dots35$.

Алгоритм, изображенный на рис. 9, подразумевает поиск H^r -групп. Однако некоторые полиномиальные коды обладают не только свойством обнаружения ошибок с определенными кратностями, но и свойствами обнаружения ошибок по их видам (монотонные, симметричные и асимметричные [10, 11]). В [37] как раз обращается внимание на полиномиальные коды, обнаруживающие симметричные и асимметричные ошибки в информационных символах. Ввиду немонотонности функции «сложения по модулю 2», посредством которой вычисляются все проверочные символы полиномиальных кодов, с монотонными ошибками данный вид кодов «справляется» плохо. Поэтому известные [25–29] алгоритмы синтеза СВК с учетом свойства монотонности проявления неисправностей на выходах объектов

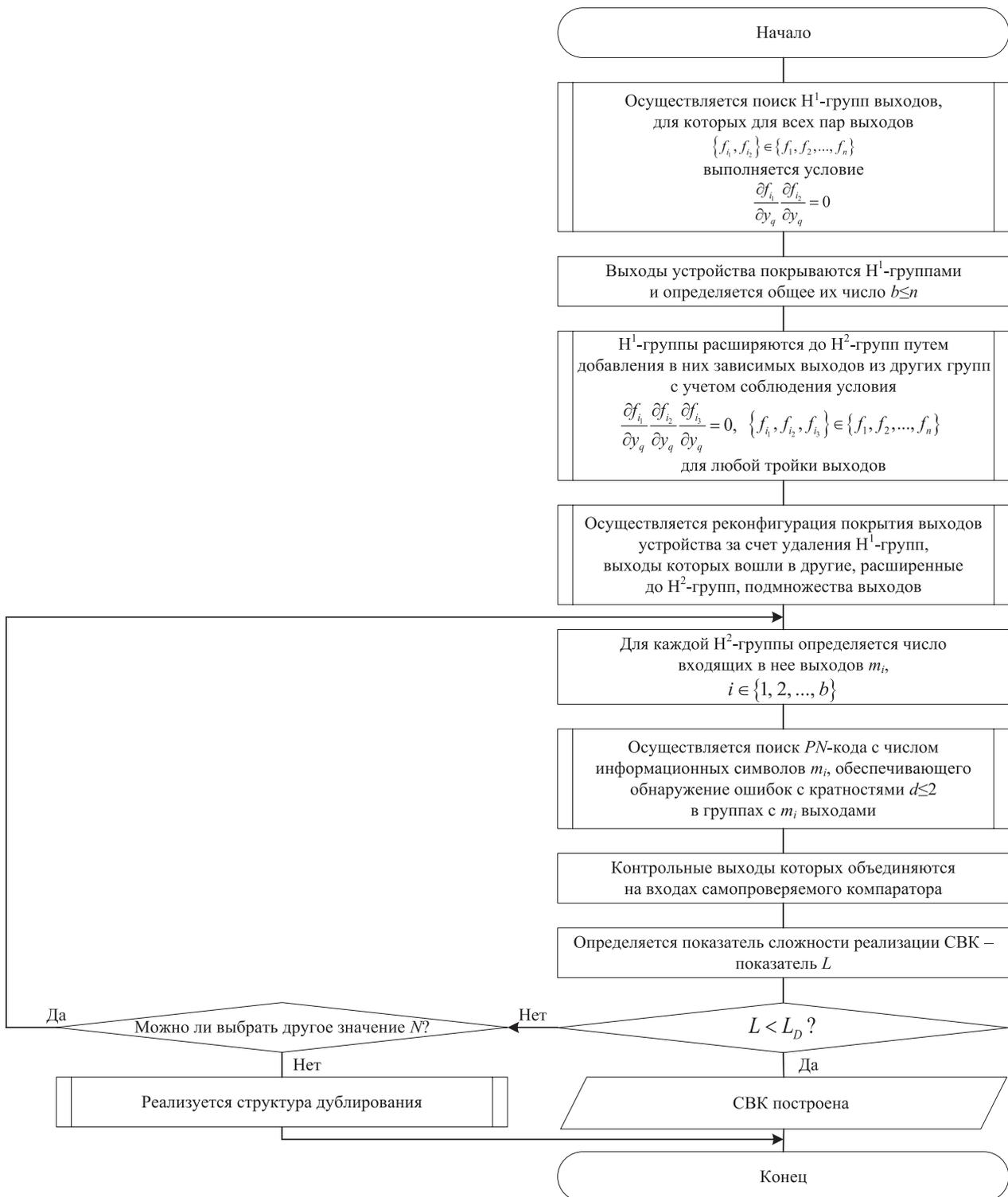


Рис. 7. Алгоритм последовательного поиска N²-групп выходов с их контролем по выбранному полиномиальному коду

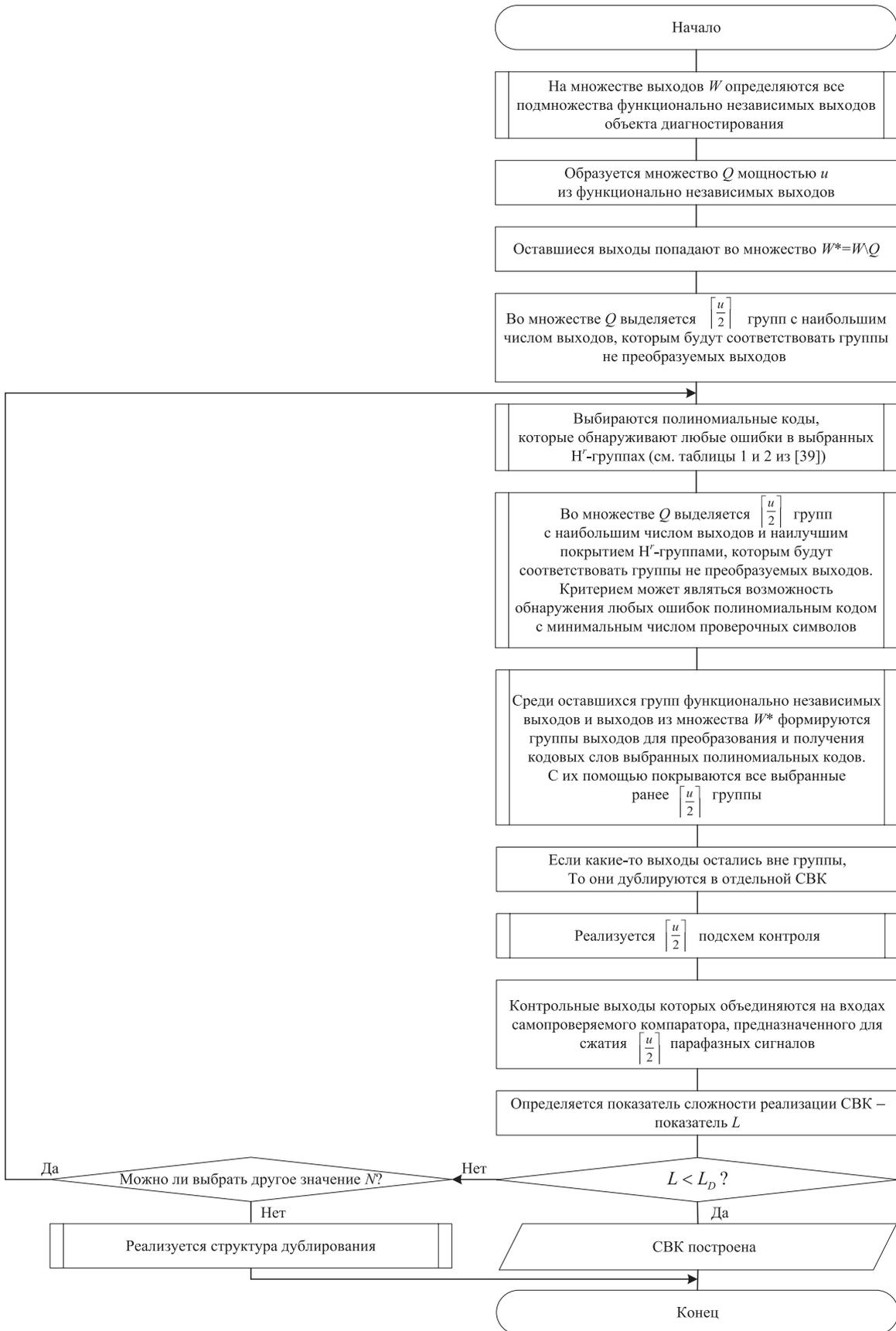


Рис. 8. Алгоритм синтеза СВК на основе ЛКС с применением полиномиальных кодов с выделением нескольких контрольных групп выходов с полным покрытием ошибок

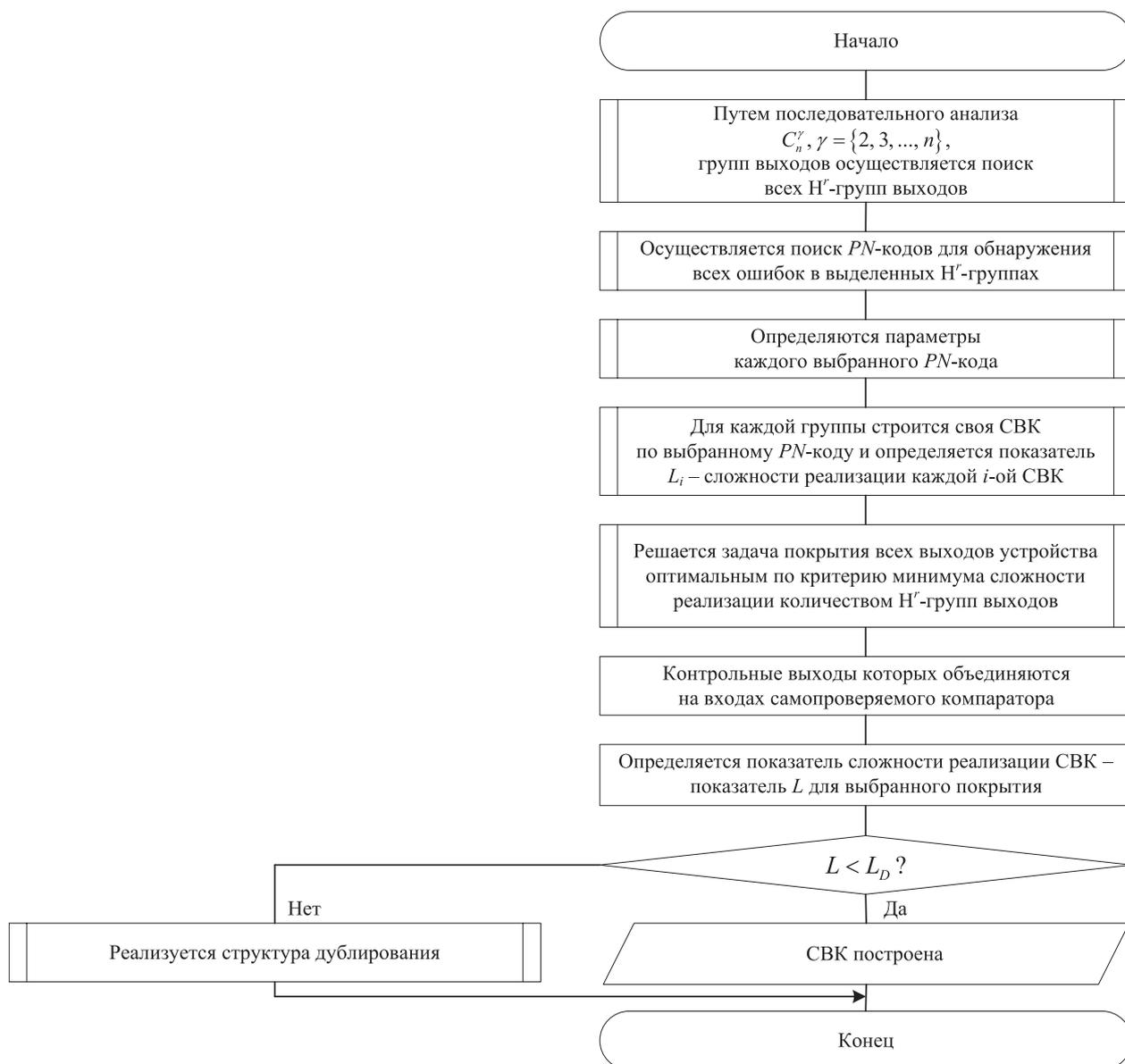


Рис. 9. Алгоритм синтеза СВК на основе ЛКС с применением полиномиальных кодов с выделением H^r -групп выходов с полным покрытием ошибок

диагностирования в данном случае неэффективны. Особенности обнаружения симметричных и асимметричных ошибок в информационных символах полиномиальными кодами можно было бы также учитывать и выделять на множестве выходов объектов диагностирования симметрично независимые, асимметрично независимые и симметрично-асимметрично независимые группы выходов [43]. Учитывая такие «особые» группы выходов объектов диагностирования, можно расширить алгоритм, приведенный на рис. 9.

5. Моделирование работы устройств с СВК

При использовании свойств полиномиальных кодов интересным является применение способов организации контроля цифровых устройств по H^r -группам выходов. Наиболее просто находятся группы при $r=1$ и $r=2$ [41, 43]. Контроль H^1 -групп выходов осуществляется с использованием полиномиального кода $P3$ (это код паритета), а контроль H^2 -групп выходов осуществляется с использованием полиномиальных кодов с большим

числом проверочных символов, например, при $m \leq 7$ — с помощью $P11$ или $P13$ кодов [39, 40].

Приведем пример эффективного совместного использования свойств полиномиальных кодов при синтезе СВК на основе ЛКС.

Для демонстрации особенностей организации устройств с обнаружением неисправностей была выбрана тестовая комбинационная схема (блок $F(x)$), представленная на рис. 10. Схема была спроектирована в среде моделирования Multisim для последующего моделирования ее работы с СВК, синтезированными по различным методам с применением полиномиальных кодов.

Анализ структуры рассматриваемой тестовой схемы позволил получить матрицу зависимостей ее выходов и элементов (табл. 3).

Из матрицы зависимостей довольно просто можно получить особые группы выходов тестовой схемы. Выделим, к примеру, H^1 -группы:

$$I - \{f_1, f_4, f_5, f_8, f_{11}, f_{13}, f_{15}, f_{20}\};$$

$$II - \{f_2, f_3, f_{10}, f_{12}, f_{16}, f_{19}\};$$

$$III - \{f_6, f_9, f_{14}, f_{18}\};$$

$$IV - \{f_7, f_{17}\}.$$

Их можно эффективно контролировать с помощью кода $P3$ на основе традиционной структуры СВК. Такой подход к контролю комбинационных схем широко известен (см., например, [1]).

Рассмотрим следующие варианты организации СВК на основе ЛКС с применением полиномиальных кодов — выделение двух и трех групп выходов с организацией для каждой из них СВК на основе предложенной структуры с групповым контролем выходов (см. рис. 6).

Первый вариант — выделение двух групп выходов.

Разобьем выходы на две группы по 10 выходов в каждой. При этом в процессе разбиения учтем зависимости выходов и элементов тестовой схемы (см. табл. 3). В группу I были внесены выходы f_9, f_{14} из группы III, остальные выходы III группы и все выходы IV группы были перенесены в группу II. Естественно, группы перестали быть H^1 -группами.

Далее в каждой полученной группе выходов 7 из 10 выделялись как непреобразуемые в СВК выходы, а 3 выхода выделялись для коррекции в проверочные символы полиномиального кода. В качестве кода был выбран код $P11$ для каждой из групп выходов тестовой схемы. Выходы обеих подсхем контроля объединялись на входах одного модуля TRC .

Второй вариант — выделение трех групп выходов.

Первая группа в ней — это полностью группа I. Для контроля выходов данной группы использован код $P7$. Соответственно, 6 выходов

Таблица 3. Матрица зависимостей выходов и элементов тестовой схемы

Элемент	Выходы устройства																			
	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}	f_{16}	f_{17}	f_{18}	f_{19}	f_{20}
U1	×		×						×											
U4	×	×																		
U11			×	×		×	×	×												
U14				×		×		×												
U17					×	×	×													
U24								×	×	×										
U31										×					×		×			
U35											×	×								
U38												×	×	×						
U37												×		×						
U40													×	×			×		×	
U43															×	×		×		
U50																		×	×	×

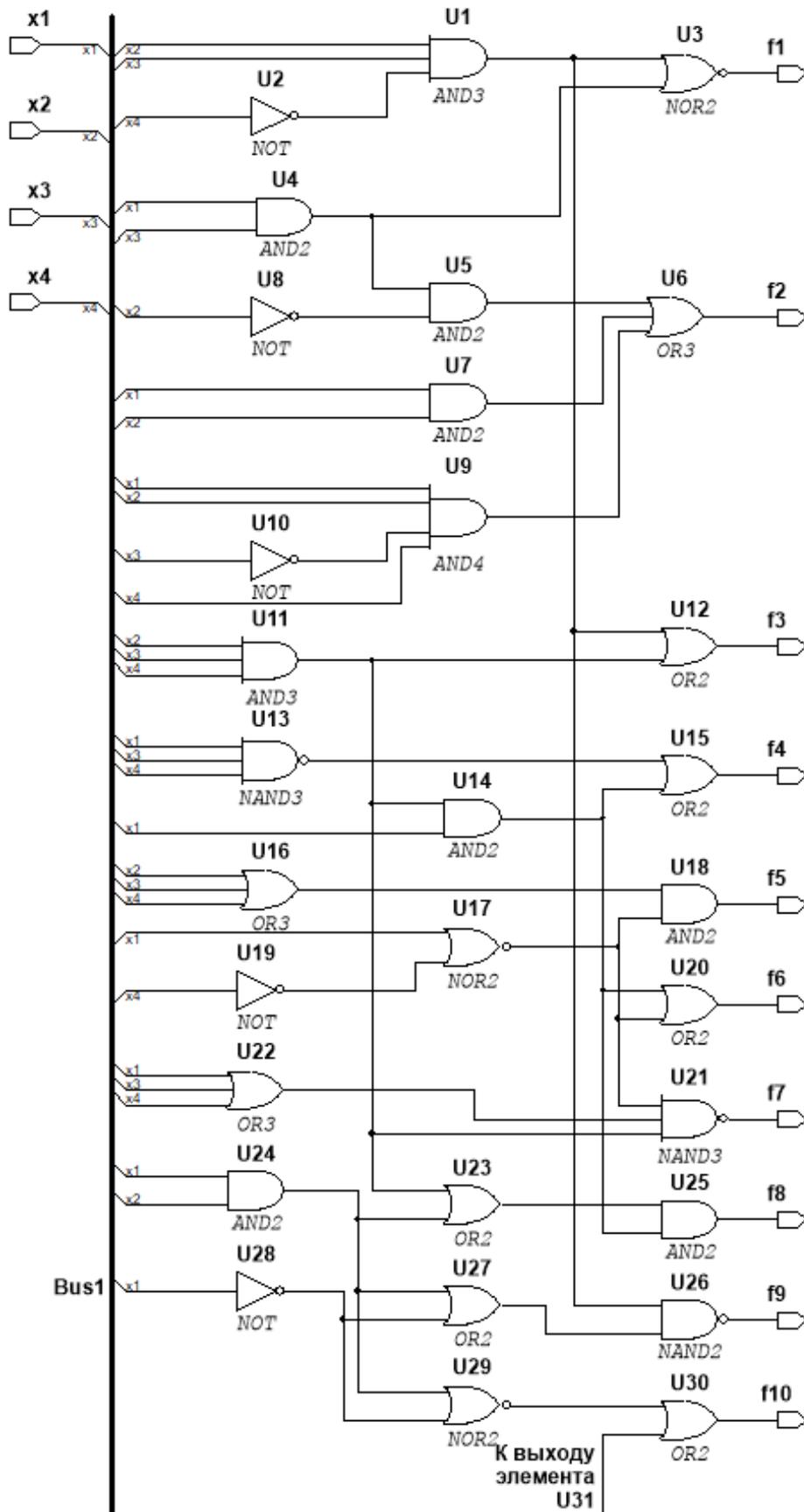


Рис. 10. Тестовая комбинационная схема (начало)

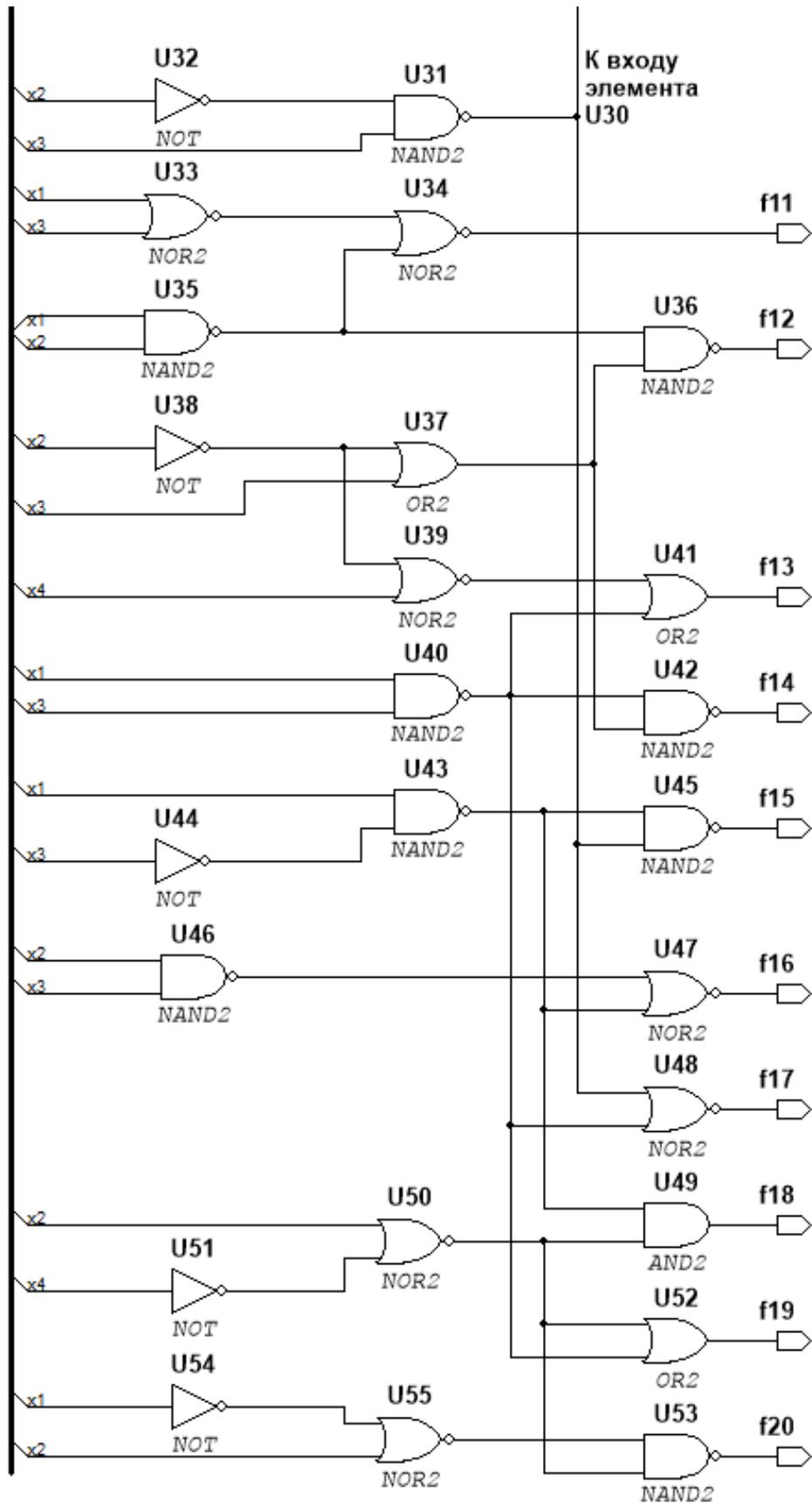


Рис. 10. Тестовая комбинационная схема (окончание)

выделены под информационные символы и 2 — под проверочные. Вторая группа — полностью группа II. Ее также контролируем с помощью кода $P7$, выделяя 4 выхода для формирования информационных символов и 2 — для формирования проверочных символов. Третья группа образована объединением выходов групп III и IV. Ясно, что кратные ошибки могут возникать исключительно в третьей группе выходов. Выходы трех групп объединялись на

входах каскада сравнения сигналов, синтезированного на основе двух модулей TRC .

На рис. 11 представлена общая схема эксперимента. В ней реализованы СВК сразу же двумя способами, а также, для сравнения и автоматизации фиксации ошибок, еще и стандартным методом дублирования.

Блок $HB1$ является тестовой схемой $F(x)$. К его входам подключен генератор кодовых слов $XWG1$, настроенный на циклическую

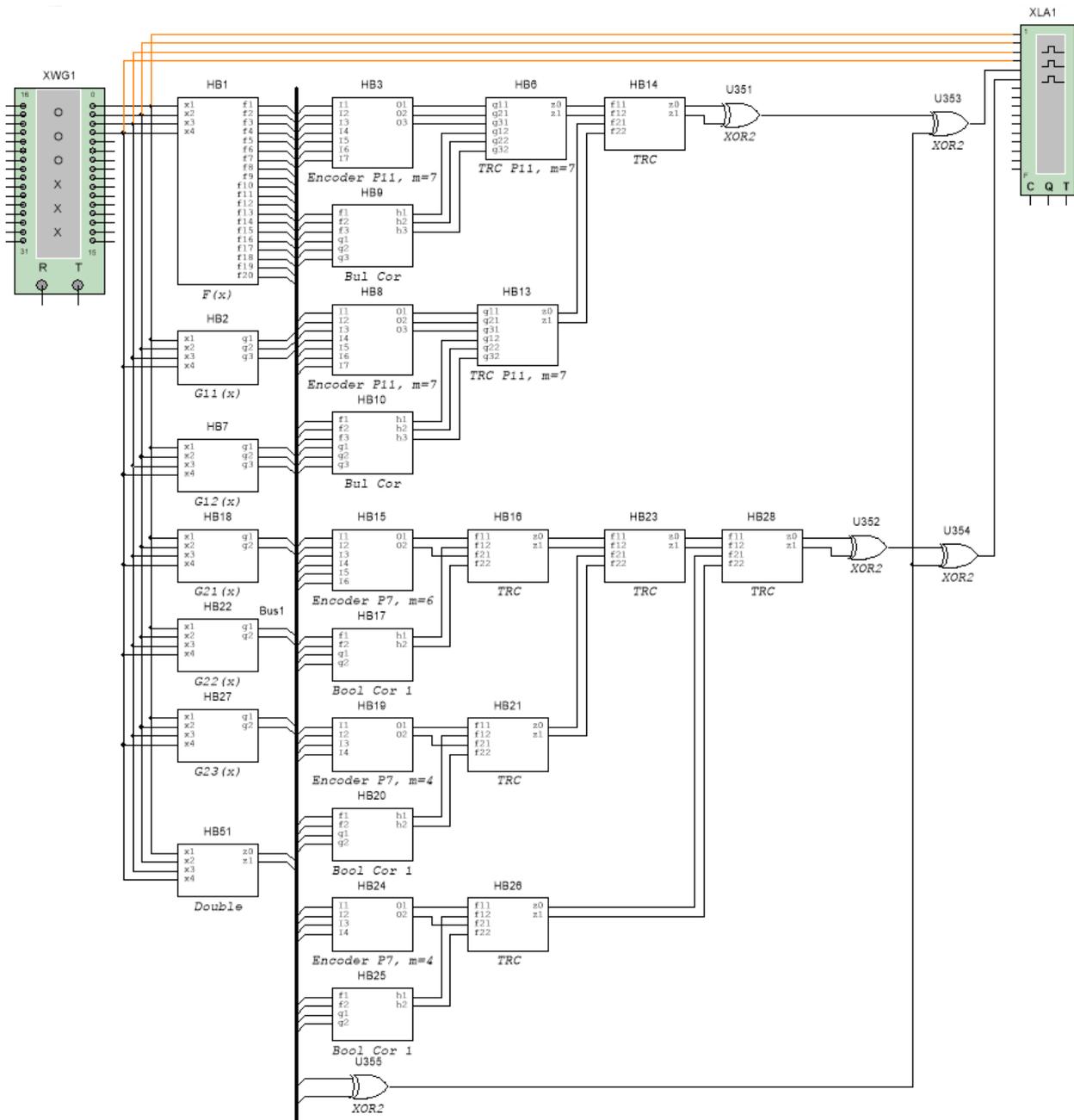


Рис. 11. Схема эксперимента

подачу всех входных комбинаций от четырех переменных. Выходы блока $F(x)$ объединены в шину Bus 1.

Блоки НВ2 и НВ7 представляют собой блоки контрольной логики $G11(x)$ и $G12(x)$, входящие в структуры СВК первой и второй групп из 10 выходов для организации контроля по первому варианту разбиения выходов. Их структуры приведены на рис. 12.

Блоки НВ18, НВ22 и НВ27 являются блоками контрольной логики $G21(x)$, $G22(x)$ и $G23(x)$ входящие в структуры СВК первой, второй и третьей групп для организации контроля по второму варианту разбиения выходов. Они приведены на рис. 13.

Блок НВ51 (Double) — схема контроля, синтезированная методом дублирования. Элементы данной СВК не приведены, так как они стандартны [1].

На входы всех описанных блоков поступают кодовые слова от генератора ХWG1, а выходы — объединяются в шину Bus 1.

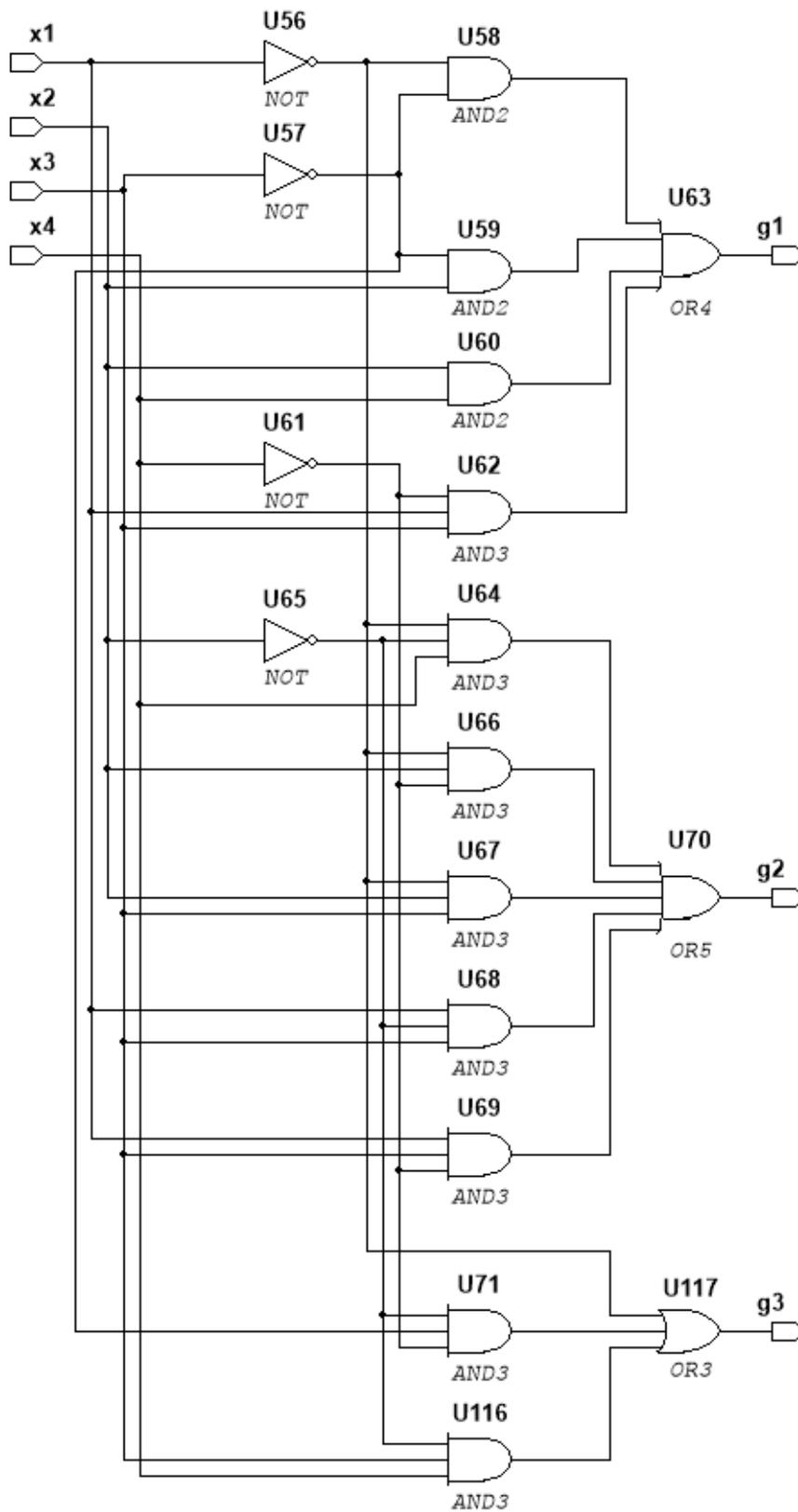
СВК, реализованная по первому способу организации, образована блоками НВ3, НВ9, НВ6, НВ8, НВ10, НВ13, НВ14. Блок НВ3 — представляет собой кодер кода $P11$ (Encoder $P11$, $m=7$). Его структура представлена на рис. 14, а). Блок НВ9 — это блок логической коррекции сигналов Bul Cor (его структура дана на рис. 14, б). Блок НВ6 — компаратор для сравнения трех одноименных сигналов. Аналогично блок НВ8 — это кодер кода $P11$ (Encoder $P11$, $m=7$), блок НВ10 — блок логической коррекции сигналов Bul Cor и блок НВ13 — компаратор для сравнения трех сигналов. Структуры этих трех блоков аналогичны структурам блоков НВ3, НВ9, НВ6 соответственно. Выходы блоков НВ6 и НВ13 подключены к входам модуля TRC (блока НВ14). Для автоматической фиксации ошибок выходы последнего подключены к входам элемента сложения по модулю $M=2$ (XOR2) U351. Если сигналы от TRC паразитны, то на выходах данного элемента фиксируется логическая 1, иначе — логический 0.

СВК, реализованная по второму способу организации, образована блоками НВ15, НВ17, НВ16, НВ19, НВ20, НВ21, НВ24, НВ25,

НВ26, НВ23, НВ28. Блоки НВ15, НВ17, НВ16 образуют первую подсхему контроля: НВ15 — кодер $P7$ кода (Encoder $P7$, $m=6$) (рис. 15, а), НВ17 — блок логической коррекции Bul Cor 1 (рис. 15, б), НВ16 — модуль TRC. Блоки НВ19, НВ20, НВ21 образуют вторую подсхему контроля: НВ19 — кодер $P7$ кода (Encoder $P7$, $m=4$) (рис. 15, в), НВ20 — блок логической коррекции Bul Cor 1, НВ21 — модуль TRC. Блоки НВ24, НВ25, НВ26 образуют третью подсхему контроля: НВ24 — кодер $P7$ кода (Encoder $P7$, $m=4$), НВ25 — блок логической коррекции Bul Cor 1, НВ26 — модуль TRC. Выходы блоков НВ16, НВ21 и НВ26 объединены на входах компаратора, образованного двумя модулями TRC (блоки НВ23, НВ28). Аналогично предыдущей СВК выходы блока НВ28 подключены к входам элемента сложения по модулю $M=2$ (XOR2) U352. Предназначен он также для фиксации ошибок.

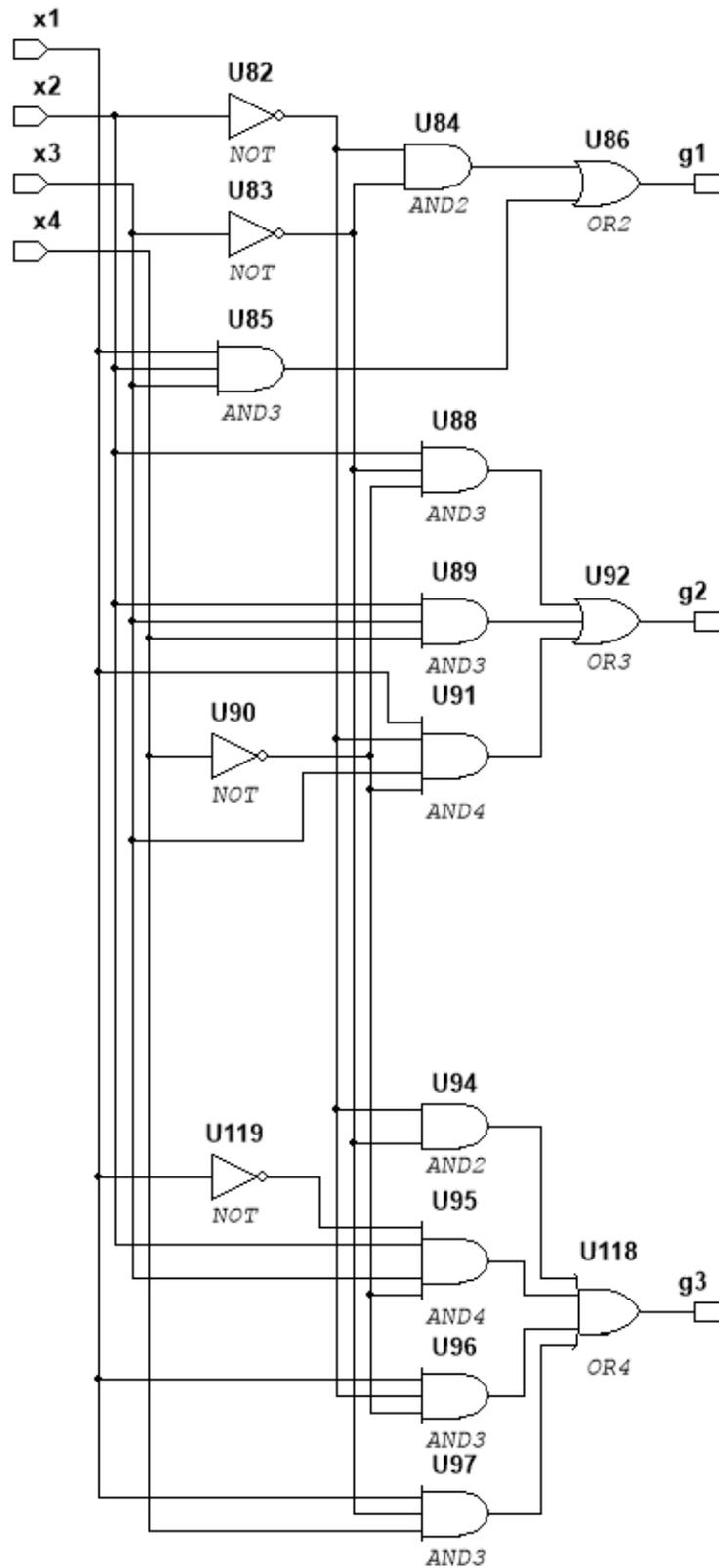
В схеме рис. 11 имеется также логический элемент XOR2 U355 — этот элемент выполняет ту же функцию, что и описанные выше элементы сложения по модулю $M=2$ (U351 и U352). Так как дублирование всегда обнаруживает любые ошибки на выходах объекта диагностирования, выход элемента U355 использован как своего рода «эталонный сигнал» и подключен ко вторым входам элементов сложения по модулю $M=2$ (U353 и U354). К первым же входам этих элементов подключены выходы СВК, реализованной по первому способу, и выходы СВК, реализованной по второму способу, соответственно. Это позволяет выявлять обнаруживаемые и необнаруживаемые ошибки и демонстрировать сигналы на логическом анализаторе XLA1.

Далее моделировалось поведение СВК при внесении в структуру тестовой схемы одиночных константных неисправностей внутренних логических элементов. Неисправности вызывали ошибки с различной кратностью, каждая из которых была зафиксирована обеими СВК. Для демонстрации фиксации ошибки на рис. 16 дана диаграмма работы СВК при внесении в тестовую схему неисправности типа «константа 1» элемента U1.



a)

Рис. 12. Схемы блоков контрольной логики для первого варианта организации СВК:
а) G1 1(x)



б)

Рис. 12. Схемы блоков контрольной логики для первого варианта организации СВК:
б) G12(x)

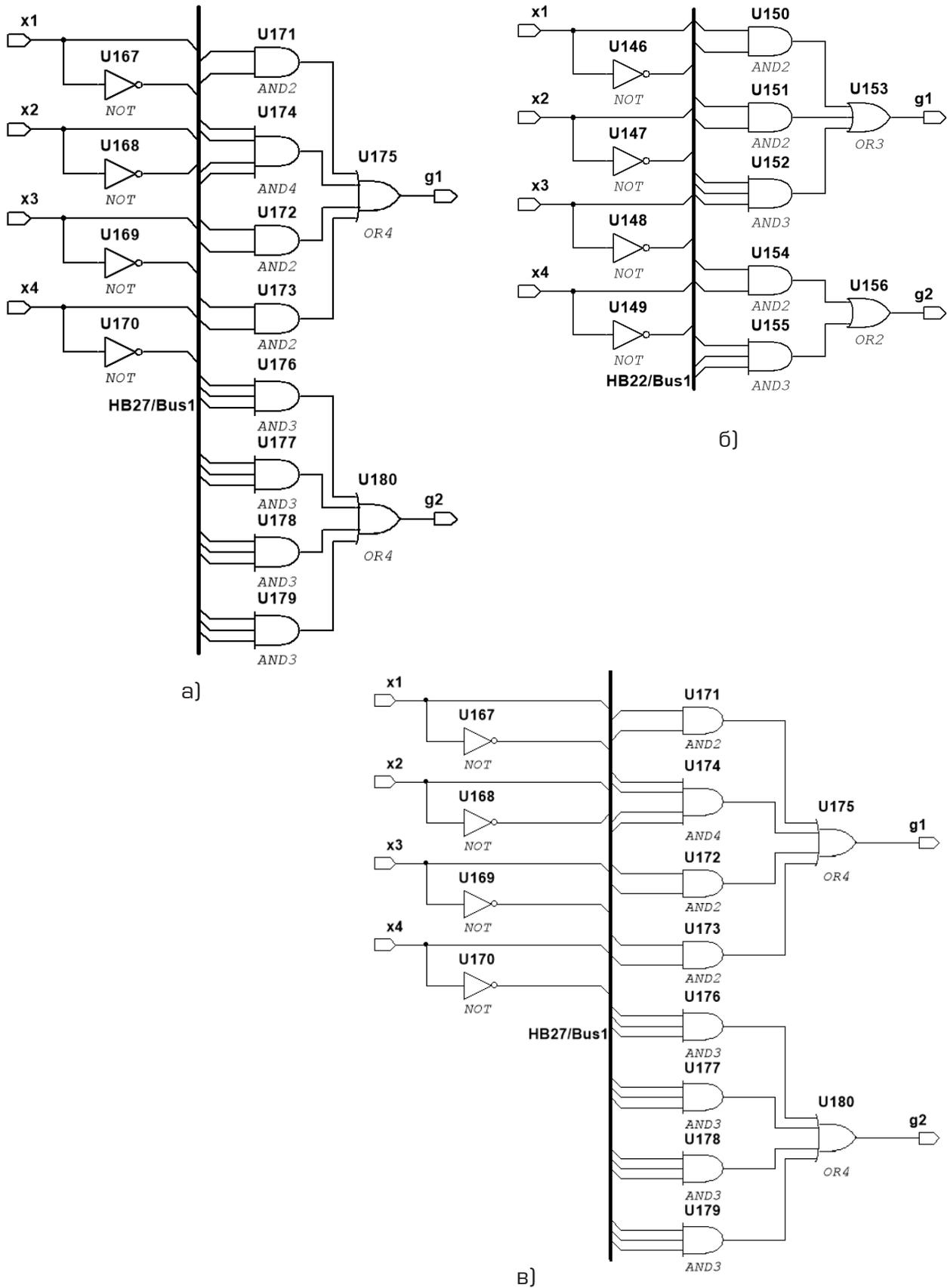


Рис. 13. Схемы блоков контрольной логики для второго варианта организации СВК:
 а) $G21(x)$, б) $G22(x)$, в) $G23(x)$

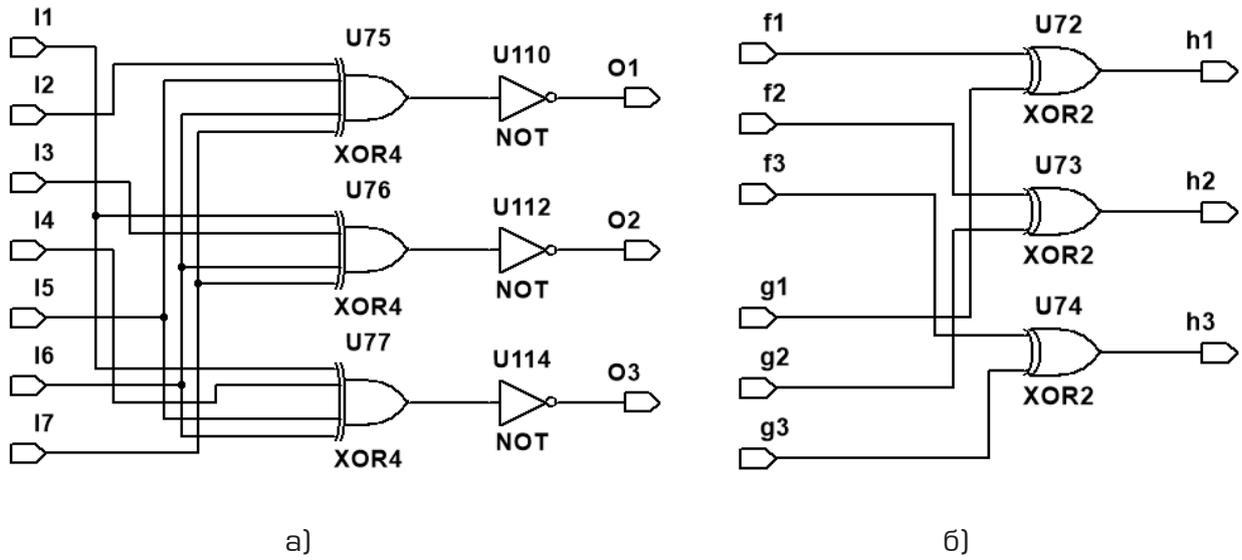


Рис. 14. Схемы блоков СВК для первого варианта контроля:
 а) Encoder P11, $m=7$, б) Bul Cor

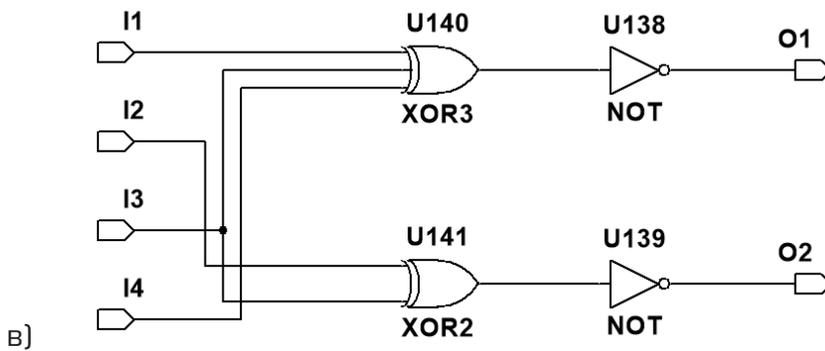
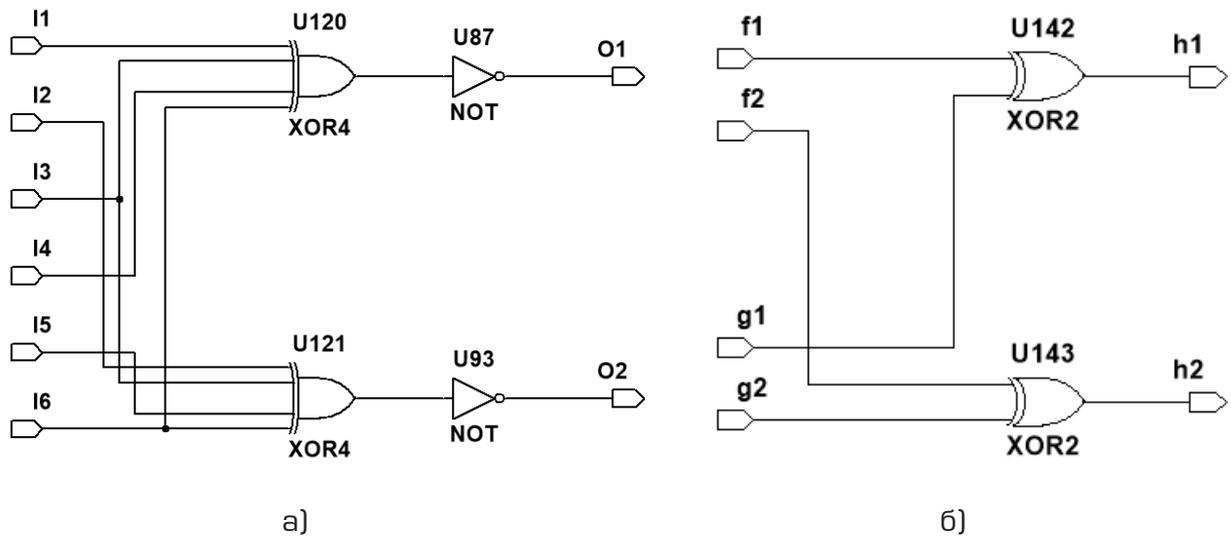


Рис. 15. Схемы блоков СВК для первого варианта контроля:
 а) Encoder P7, $m=6$, б) Bul Cor 1, в) Encoder P7, $m=4$

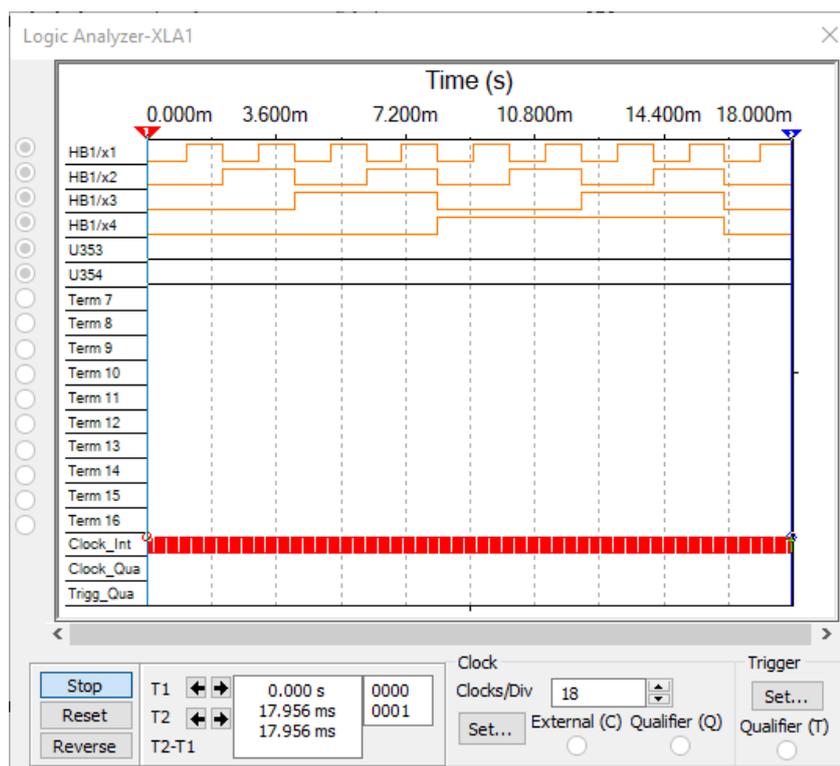


Рис. 16. Демонстрация фиксации ошибок при неисправностях

Из диаграммы, представленной на рис. 16, следует, что на выходах обоих элементов сложения по модулю $M=2$ (элементов U353 и U354) на всех входных комбинациях присутствует сигнал логического 0, что свидетельствует о совпадении сигналов на отдельных схемах контроля с сигналом с выхода схемы контроля, организованной по методу дублирования (с выхода элемента U355). Обе СВК, реализованные на основе полиномиальных кодов, обнаруживают все ошибки в объекте диагностирования. Таким образом, результаты моделирования говорят об эффективности разработанных подходов к организации СВК на основе ЛКС.

Заключение

При организации СВК на основе ЛКС могут эффективно использоваться полиномиальные коды. При этом основными свойствами выбираемых для контроля полиномиальных кодов являются свойства обнаружения ошибок с малыми кратностями: могут быть использованы полиномиальные коды, обнаруживающие все одно- и двукратные (реже — также трехкрат-

ные и, в частных случаях, даже большей кратности) ошибки.

Неисправности внутренних элементов объекта диагностирования могут вызывать искажения на произвольных его выходах, а с учетом того, что ряд сигналов от объекта диагностирования участвует в формировании проверочных символов полиномиальных кодов, ошибки могут возникать одновременно и в информационных, и в проверочных символах формируемых в СВК кодовых слов. В этом случае требуется учет характеристик обнаружения ошибок различных видов и кратностей во всем кодовом слове полиномиального кода. Однако схемотехническими способами можно на этапе организации СВК ограничить возможности распространения внутренних ошибок объекта диагностирования и выделить группы функционально независимых выходов. В этом случае информационные и проверочные символы целесообразно выделять из групп функционально независимых выходов. Тогда ошибка будет возможна только в информационных либо только в проверочных символах. В проверочных символах она будет обнаружена в момент

проявления, так как нарушится соответствие между информационными и проверочными символами. В информационных символах ошибка может оказаться не обнаруженной. В этом случае следует использовать свойства обнаружения ошибок самими полиномиальными кодами в информационных символах, изученные в [37, 38]. Разработанные в статье алгоритмы синтеза СВК позволяют получать как структуры с обнаружением ошибок на выходах объектов диагностирования с определенной вероятностью их покрытия, так и полностью самопроверяемые структуры.

Достоинством полиномиальных кодов перед другими в СВК, реализуемой на основе ЛКС, является равномерность распределения информационных векторов между контрольными векторами, что облегчает процесс проверки и тестируемости элементов преобразования в структуре. В качестве общего недостатка можно отметить необходимость выполнения процедур по поиску преобразуемых и не преобразуемых выходов, трудоемкость которых существенно зависит от общего количества выходов устройства, числа внутренних элементов и числа входов.

Представленные в статье алгоритмы целесообразно рассматривать для многовыходных комбинационных устройств. Исследование особенностей синтеза СВК для них является темой дальнейших исследований. Также в дальнейшем интерес представляет проведение экспериментов с тестовыми схемами из популярных во всем мире наборов, к примеру, MCNC Benchmarks [45, 46]. База тестовых комбинационных схем имеется в открытом доступе³.

Кроме того, дальнейшие направления исследований могут быть связаны со специальными схмотехническими подходами, направленными на решение двух задач. Первая состоит в увеличении числа обнаруживаемых ошибок вплоть до полного их покрытия. Данная задача может решаться путем выделения контролепригодных групп выходов, а также преобразования структуры устройства в структуру с контролепригодными выходами. Вторая задача состоит в уменьшении сложности техни-

ческой реализации СВК. Она может решаться такими способами: использование предварительного сжатия сигналов от объекта диагностирования [47], использование импульсного режима работы и дополнительного контроля самодвойственности вычисляемых в СВК функций [48–50], выделение особых групп выходов объекта диагностирования [43] и т. д.

Также можно обратить внимание на одно из направлений дальнейших исследований — особенностей обнаружения полиномиальными кодами ошибок различных видов с различными кратностями во всем кодовом слове. Исследований характеристик избыточных кодов в такой постановке задачи не так много, например, работа [51], в которой рассматриваются особенности обнаружения ошибок классическими кодами с суммированием (кодами Бергера). Учет этих особенностей позволяет на практике обоснованно выбирать наилучший способ кодирования при реализации СВК. Интересным является использование сразу же нескольких свойств полиномиальных кодов. В [52] показано, что любые линейные коды, в том числе, полиномиальные, обладают свойством самодвойственности и самоквазидвойственности функций, описывающих их проверочные символы. Это позволяет эффективно организовывать СВК с контролем вычислений по нескольким диагностическим признакам, что существенно повышает показатели контролепригодности самопроверяемых цифровых устройств.

Применение полиномиальных кодов при синтезе СВК на основе ЛКС — это один из тех подходов, который на практике может дать весомый эффект в реализации устройств с обнаружением неисправностей с низкой аппаратурной избыточностью и высокими показателями обнаружения ошибок в вычислениях. ▲

Библиографический список

1. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
2. Lala P.K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001. 216 p.
3. Drozd A., Kharchenko V., Antoshchuk S., et al. Checkability of the Digital Components in Safety-Critical

³ <https://ddd.fit.cvut.cz/www/prj/Benchmarks/>

- Systems: Problems and Solutions // Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTs'2011). Sevastopol, Ukraine. 2011. P. 411–416. DOI: 10.1109/EWDTs.2011.6116606.
4. Drozd O., Perebeinos I., Martynyuk O., et al. Hidden Fault Analysis of FPGA Projects for Critical Applications // Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), 25–29 February 2020, Lviv-Slavsko, Ukraine/ P. 142, DOI: 10.1109/TCSET49122.2020.235591.
 5. Kharchenko V., Tyurin S., Fesenko H., et al. The Fault Tolerant Černý Finite State Machine: A Concept and VHDL Models // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021), Vol. 2, Cracow, Poland, September 22–25, 2021. P. 1163–1169. DOI: 10.1109/IDAACS53288.2021.9660925.
 6. Сапожников В.В., Сапожников Вл.В., Дмитриев А.В. и др. Организация функционального контроля комбинационных схем методом логического дополнения // Электронное моделирование. 2002. Т. 24, № 6. С. 52–66.
 7. Гессель М., Морозов А.В., Сапожников В.В. и др. Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167–176.
 8. Гессель М., Морозов А.В., Сапожников В.В. и др. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. № 8. С. 161–172.
 9. Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
 10. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды Хэмминга в системах функционального контроля логических устройств: монография. СПб.: Наука, 2018. 151 с.
 11. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Т. 1: Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
 12. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды с суммированием для систем технического диагностирования. Т. 2: Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
 13. Сапожников В.В., Сапожников Вл.В. Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
 14. Freiman C.V. Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control. 1962. Vol. 5, iss. 1. P. 64–71. DOI: 10.1016/S0019-9958(62)90223-1.
 15. Borden J.M. Optimal Asymmetric Error Detecting Codes // Information and Control. 1982. Vol. 53, iss. 1–2. P. 66–73. DOI: 10.1016/S0019-9958(82)91125-1.
 16. Berger J.M. A Note on Error Detection Codes for Asymmetric Channels // Information and Control. 1961. Vol. 4, iss. 1. P. 68–73. DOI: 10.1016/S0019-9958(61)80037-5.
 17. Hamming R.W. Error Detecting and Correcting Codes // Bell System Technical Journal. 1950. 29 (2). P. 147–160. DOI: 10.1002/j.1538-7305.1950.tb00463.x.
 18. Saposhnikov V.V., Saposhnikov V.I., Morozov A., et al. Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proceedings of 2th IEEE East-West Design & Test Symposium (EWDTs'2004), Crimea, Ukraine, September 15–17, 2004. P. 83–87.
 19. Göessel M., Ocheretny V., Sogomonyan E., et al. New Methods of Concurrent Checking: Edition 1. — Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
 20. Sen S.K. A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
 21. Das D.K., Roy S.S., Dmitiriev A., et al. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012. P. 33–40.
 22. Morozov M., Saposhnikov V.V., Saposhnikov V.I., et al. New Self-Checking Circuits by Use of Berger-Codes // Proceedings of 6th IEEE International On-Line Testing Workshop, Palma de Mallorca, Spain, 3–5 July 2000. P. 171–176.
 23. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. The Self-Checking Concurrent Error-Detection Systems Synthesis Based on the Boolean Complement to the Bose-Lin Codes with the Modulo Value $M=4$ // Electronic Modeling. 2021. Vol. 43, iss. 1. P. 28–45. DOI: 10.15407/emodel.43.01.028.
 24. Ефанов Д.В., Пивоваров Д.В., Осадчий Г.В. и др. Применение кодов с эффективным обнаружением ошибок в области малой кратности при

- синтезе схем встроенного контроля по методу логического дополнения // Информационные технологии. 2022. Т. 28, № 6. С. 283–293. DOI: 10.17587/it.28.283–293.
25. Sogomonyan E.S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. 1993. Vol. 4, iss. 4. P. 267–281. DOI: 10.1007/BF00971975.
 26. Busaba F.Y., Lala P.K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications. 1994. Vol. 5, iss.1. P. 19–28. DOI: 10.1007/BF00971960.
 27. Saposhnikov V.V., Morosov A., Saposhnikov V.I., et al. A New Design Method for Self-Checking Unidirectional Combinational Circuits // Journal of Electronic Testing: Theory and Applications. 1998. Vol. 12, iss.1–2. P. 41–53. DOI: 10.1023/A:1008257118423.
 28. Morosov A., Saposhnikov V.V., Saposhnikov V.I., et al. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design. 1998. Vol. 5, iss. 4. P. 333–345. DOI: 10.1155/1998/20389.
 29. Matrosova A.Yu., Levin I., Ostanin S.A. Self-Checking Synchronous FSM Network Design with Low Overhead // VLSI Design. 2000. Vol. 11, iss. 1. P. 47–58. DOI: 10.1155/2000/46578.
 30. Sellers F.F., Hsiao M.-Y., Bearnson L.W. Error Detecting Logic for Digital Computers. New York: McGraw-Hill, 1968. 295 p.
 31. Ryan W.E., Lin S. Channel Codes: Classical and Modern, Cambridge University Press, 2009. 692 p.
 32. Сагалович Ю.Л. Введение в алгебраические коды. Ин-т проблем передачи информации им. А.А. Харкевича Российской академии наук. 2-е изд., перераб. и доп. М.: ИППИ РАН, 2010. 302 с.
 33. Ефанов Д.В., Черепанова М.Р. Применение полиномиальных кодов при организации систем функционального контроля комбинационных схем // Материалы XIV международной конференции имени А.Ф.Терпугова «Информационные технологии и математическое моделирование (ИТММ-2015)» (18–22 ноября 2015 г.). Томск: Изд-во Том. ун-та, 2015: Ч. 2. С. 133–138.
 34. Гаврилов С.В., Жукова Т.Д., Рыжова Д.И. Методы оптимизации схем кодирования на основе диаграмм двоичных решений для синтеза отказоустойчивых микро- и наноэлектронных схем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 4. С. 158–165.
 35. Borchert C., Schirmeier H., Spinczyk O. Generic Soft-Error Detection and Correction for Concurrent Data Structures // IEEE Transactions on Dependable and Secure Computing. 2017. Vol. 14, iss. 1. P. 22–36. DOI: 10.1109/TDSC.2015.2427832.
 36. Li J., Liu S., Reviriego P., Xiao L., Lombardi F. Scheme for Periodical Concurrent Fault Detection in Parallel CRC Circuits // IET Computers & Digital Techniques. 2020. Vol. 14, iss. 2. P. 80–85. DOI: 10.1049/iet-cdt.2018.5183.
 37. Abdullaev R.B., Efanov D.V., Sapozhnikov V.V., et al. Polynomial Code with Detecting the Symmetric and Asymmetric Errors in the Data Vectors // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13–16, 2019. P. 157–161. DOI: 10.1109/EWDTS.2019.8884451.
 38. Abdullaev R., Efanov D. Polynomial Codes Properties Application in Concurrent Error-Detection Systems of Combinational Logic Devices // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10–13, 2021. P. 40–46. DOI: 10.1109/EWDTS52692.2021.9580992.
 39. Ефанов Д.В., Абдуллаев Р.Б., Лесковец И.В. Применение полиномиальных кодов при синтезе схем встроенного контроля для комбинационных цифровых устройств по методу логического дополнения // Известия высших учебных заведений. Приборостроение. 2022. Т. 65, № 1. С. 5–18. DOI: 10.17586/0021-3454-2022-65-1-5-18.
 40. Efanov D.V., Abdullaev R.B. Boolean Complement Method to Polynomial Codes for Combinational Circuits Testing // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 25–28 January 2022, St. Petersburg, Russia. P. 139–144. DOI: 10.1109/EIConRus54750.2022.9755602.
 41. Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. Модифицированные коды с суммированием взвешенных переходов в системах функционального контроля комбинационных схем // Труды Института системного программирования РАН. 2017. Т. 29. № 5. С. 39–60. DOI: 10.15514/ISPRAS-2017–29(5)-3.
 42. Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y., 10 p.
 43. Ефанов Д.В. Синтез самопроверяемых вычислительных устройств на основе полной системы особых групп выходов объекта диагностирова-

- ния // Известия высших учебных заведений. Приборостроение. 2023. Т. 66. № 5. С. 355–372. DOI: 10.17586/0021-3454-2023-66-5-355-372.
44. Закревский А.Д., Поттосин Ю.В., Черемисинова Л.Д. Логические основы проектирования дискретных устройств. М.: Физматлит, 2007. 592 с.
 45. Sentovich E.M., Singh K.J., Moon C., et al. Sequential Circuit Design Using Synthesis and Optimization // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA. P. 328–333. DOI: 10.1109/ICCD.1992.276282.
 46. SIS: A System for Sequential Circuit Synthesis / E.M. Sentovich, K.J. Singh, L. Lavagno, et al. // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992, 45 p.
 47. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression // Automatic Control and Computer Sciences. 2021. Vol. 55, iss. 2. P. 113–124. DOI: 10.3103/S014641162102005X.
 48. Sapozhnikov V.I., Dmitriev A., Goessel M., et al. Self-Dual Parity Checking — a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996. P. 162–168.
 49. Efanov D., Sapozhnikov V., Sapozhnikov V.I., et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTs’2019), Batumi, Georgia, September 13–16, 2019. P. 136–143/ DOI: 10.1109/EWDTs.2019.8884398.
 50. Efanov D.V., Pivovarov D.V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTs’2021), Batumi, Georgia, September 10–13, 2021. P. 200–206, DOI: 10.1109/EWDTs52692.2021.9581019.
 51. Efanov D., Osadchy G., Zueva M. Special Aspects of Errors Definition via Sum Codes within Embedded Control Schemas Being Realized by Means of Boolean Complement Method // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS’2021). Vol. 1, Cracow, Poland, September 22–25, 2021. P. 424–431, DOI: 10.1109/IDAACS53288.2021.9660837.
 52. Ефанов Д.В. Особенности реализации самопроверяемых структур на основе метода инвертирования данных и линейных кодов // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2023. № 65. С. 126–138. DOI: 10.17223/19988605/65/13.

*TRANSPORT AUTOMATION RESEARCH. 2024. Vol. 10, no. 2. P. 190–220
DOI: 10.20295/2412-9186-2024-10-02-190-220*

Synthesis of built-in control circuits for combinational digital devices based on Boolean signals correction using polynomial codes

Information about authors

Efanov D. V., Dr. Sci. (Engineering), Professor, Full-member of International Transport Academy, IEEE Member, Professor^{1,3,4}, General Director Deputy on Research². E-mail: TrES-4b@yandex.ru

Grachev A. A., PhD, Head¹. E-mail: springbird@mail.ru

Pivovarov D. V., PhD, Associate Professor⁵. E-mail: pivovarov.d.v.spb@gmail.com

Abdullaev R. B., PhD, Associate Professor, Associate Professor⁴.

E-mail: ruslan_0507@mail.ru

Leskovets I. V., PhD, Associate Professor, Head⁶. E-mail: le@bru.by

¹ Peter the Great St. Petersburg Polytechnic University, Institute of Mechanical Engineering, Materials and Transport, Higher School of Transport, St. Petersburg

² NIPI “TransStroybezopasnost” LLC, St. Petersburg

³ Russian University of Transport, Department of Automation, Remote Control and Communications in Railway Transport, Moscow

⁴ Tashkent State Transport University, Department of Automation and Remote Control, Tashkent

⁵ Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways, St. Petersburg

⁶ Belarusian–Russian University, Department of Transport and Technological Machines, Mogilev

Abstract. It is proposed to use Boolean correction of signals when synthesizing built-in control circuits in the structures of self-checking digital devices, taking into account the characteristics of error detection by polynomial codes. It is shown that the built-in control circuit can be organized by selecting subsets of convertible and non-convertible outputs. In this case, the number of transformation elements in the control circuit can be minimized and equal to the number of check symbols in the selected polynomial code. Conditions have been established for the synthesis of fully self-checking built-in control circuits based on Boolean signals correction using polynomial codes. Algorithms for the synthesis of built-in control circuits have been developed that allow solving the problem of their organization, taking into account the topology features of the diagnostic object itself and the characteristics of error detection in data symbols using polynomial codes. Also, when synthesizing embedded control circuits, the characteristics of error detection in the entire codeword by polynomial codes can be taken into account. Polynomial codes can be effectively used in the synthesis of built-in control circuits based on Boolean signals correction, which makes it possible to synthesize self-checking digital devices with the least complexity of technical implementation. The presented results should be taken into account in the development of devices and systems of critical application.

Keywords: self-checking digital devices, built-in control circuit, combination devices of automation and computer technology, Boolean signals correction, polynomial codes.

References

- Sogomonyan E. S., Slabakov E. V. Samoproveryaemye ustrojstva i otkazoustojchivye sistemy. M.: Radio i svyaz', 1989. 208 s. (In Russian)
- Lala P. K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001. 216 p.
- Drozdz A., Kharchenko V., Antoshchuk S., et al. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions // Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTS'2011), Sevastopol, Ukraine, 2011. P. 411–416, DOI: 10.1109/EWDTS.2011.6116606.
- Drozdz O., Perebeinos I., Martynuk O., et al. Hidden Fault Analysis of FPGA Projects for Critical Applications // Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), 25–29 February 2020, Lviv-Slavsko, Ukraine, P. 142, DOI: 10.1109/TCSET49122.2020.235591.
- Kharchenko V., Tyurin S., Fesenko H., et al. The Fault Tolerant Černý Finite State Machine: A Concept and VHDL Models // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021), Vol. 2, Cracow, Poland, September 22–25, 2021. P. 1163–1169, DOI: 10.1109/IDAACS53288.2021.9660925.
- Sapozhnikov V. V., Sapozhnikov VI. V., Dmitriev A. V., et al. Organizaciya funkcional'nogo kontrolya kombinacionnykh skhem metodom logicheskogo dopolneniya // Elektronnoe modelirovanie. 2002. T. 24. № 6. S. 52–66. (In Russian)
- Gessel' M., Morozov A. V., Sapozhnikov V. V., et al. Logicheskoe dopolnenie — novyy metod kontrolya kombinacionnykh skhem // Avtomatika i telemekhanika. 2003. № 1. S. 167–176. (In Russian)
- Gessel' M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Kontrol' kombinacionnykh skhem metodom logicheskogo dopolneniya // Avtomatika i telemekhanika. 2005. № 8. S. 161–172.
- Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
- Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Kody Hemminga v sistemah funkcional'nogo kontrolya logicheskikh ustrojstv: monografiya. SPb.: Nauka, 2018. 151 s. (In Russian)
- Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya. T. 1: Klassicheskie kody Bergera i ih modifikacii. M.: Nauka, 2020. 383 s. (In Russian)
- Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya. T. 2: Vzveshennyye kody s summirovaniem. M.: Nauka, 2021. 455 s. (In Russian)
- Sapozhnikov V. V., Sapozhnikov VI. V. Samoproveryaemye diskretnyye ustrojstva. SPb: Energoatomizdat, 1992. 224 s. (In Russian)
- Freiman C. V. Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control. 1962. Vol. 5, iss. 1. P. 64–71. DOI: 10.1016/S0019-9958(62)90223-1.
- Borden J. M. Optimal Asymmetric Error Detecting Codes // Information and Control. 1982. Vol. 53, Issue 1–2. P. 66–73. DOI: 10.1016/S0019-9958(82)91125-1.
- Berger J. M. A Note on Error Detection Codes for Asymmetric Channels // Information and Control. 1961. Vol. 4, iss. 1. P. 68–73. DOI: 10.1016/S0019-9958(61)80037-5.
- Hamming R. W. Error Detecting and Correcting Codes // Bell System Technical Journal. 1950. 29 (2). P. 147–160. DOI: 10.1002/j.1538-7305.1950.tb00463.x.
- Sapozhnikov V. V., Sapozhnikov VI. V., Morozov A., et al. Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proceedings of 2th IEEE East-West Design & Test Symposium (EWDTS'2004), Crimea, Ukraine, September 15–17, 2004. P. 83–87.
- Gössel M., Ocheretny V., Sogomonyan E., et al. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B. V. 2008. 184 p.
- Sen S. K. A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
- Das D. K., Roy S. S., Dmitriev A., et al. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012. P. 33–40.
- Morozov M., Sapozhnikov V. V., Sapozhnikov VI. V., Goessel M. New Self-Checking Circuits by Use of Berger-Sodes // Proceedings of 6th IEEE International On-Line Testing Workshop, Palma de Mallorca, Spain, 3–5 July 2000. P. 171–176.
- Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V. The Self-Checking Concurrent Error-Detection Systems Synthesis Based on the Boolean Complement to the Bose–Lin Codes with the Modulo Value $M=4$ // Electronic Modeling. 2021. Vol. 43, iss. 1. P. 28–45. DOI: 10.15407/emodel.43.01.028.
- Efanov D. V., Pivovarov D. V., Osadchij G. V., et al. Primenenie kodov s effektivnym obnaruzheniem oshibok v oblasti maloj kratnosti pri sinteze skhem vstroennogo kontrolya po metodu logicheskogo dopolneniya // Informacionnyye tekhnologii. 2022. T. 28, № 6. S. 283–293. DOI: 10.17587/it.28.283-293. (In Russian)
- Sogomonyan E. S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. 1993. Vol. 4, iss. 4. P. 267–281. DOI: 10.1007/BF00971975.
- Busaba F. Y., Lala P. K. Self-Checking Combinational Circuit Design for Single and Uni-directional Multibit Errors // Journal of Electronic Testing: Theory and Applications. 1994. Vol. 5, Issue 1. P. 19–28. DOI: 10.1007/BF00971960.
- Sapozhnikov V. V., Morosov A., Sapozhnikov VI. V., et al. A New Design Method for Self-Checking Unidirectional Combinational Circuits // Journal of Electronic Testing: Theory and Applications. 1998. Vol. 12, iss. 1–2. P. 41–53. DOI: 10.1023/A:1008257118423.
- Morosov A., Sapozhnikov V. V., Sapozhnikov VI. V., et al. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design. 1998. Vol. 5, iss. 4. P. 333–345. DOI: 10.1155/1998/20389.
- Matrosova A. Yu., Levin I., Ostanin S. A. Self-Checking Synchronous FSM Network Design with Low Overhead // VLSI Design. 2000. Vol. 11, iss. 1. P. 47–58. DOI: 10.1155/2000/46578.
- Sellers F. F., Hsiao M.-Y., Bearson L. W. Error Detecting Logic for Digital Computers. New York: McGraw-Hill, 1968. 295 p.
- Ryan W. E., Lin S. Channel Codes: Classical and Modern, Cambridge University Press, 2009. 692 p.
- Sagalovich Yu. L. Vvedenie v algebraicheskie kody. — In-t problem peredachi informacii im. A. A. Harkevicha Rossijskoj akademii nauk. 2-e izd., pererab. i dop. M.: IPI RAN, 2010. 302 s. (In Russian)
- Efanov D. V., Cherepanova M. R. Primenenie polinomial'nykh kodov pri organizacii sistem funkcional'nogo kontrolya kombinacionnykh skhem // Materialy XIV mezhdunarodnoj konferencii imeni A. F. Terpugova "Informacionnyye tekhnologii i matematicheskoe modelirovanie (ITMM-2015)" (18–22 noyabrya 2015 g.). Tomsk: Izd-vo Tom. un-ta, 2015. Ch. 2, s. 133–138. (In Russian)
- Gavrilov S. V., Zhukova T. D., Ryzhova D. I. Metody optimizacii skhem kodirovaniya na osnove diagramm dvoichnykh reshenij dlya sinteza otkazoustojchivykh mikro- i nanoelektronnykh skhem // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES). 2016. № 4. S. 158–165. (In Russian)
- Borchert C., Schirmeier H., Spinczyk O. Generic Soft-Error Detection and Correction for Concurrent Data Structures // IEEE Transactions on Dependable and Secure Computing. 2017. Vol. 14, iss. 1. P. 22–36. DOI: 10.1109/TDSC.2015.2427832.

36. Li J., Liu S., Reviriego P., et al. Scheme for Periodical Concurrent Fault Detection in Parallel CRC Circuits // IET Computers & Digital Techniques. 2020. Vol. 14, Issue 2. P. 80–85. DOI: 10.1049/iet-cdt.2018.5183.
37. Abdullaev R. B., Efanov D. V., Sapozhnikov V. V., et al. Polynomial Code with Detecting the Symmetric and Asymmetric Errors in the Data Vectors // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDT'S'2019), Batumi, Georgia, September 13–16, 2019. P. 157–161. DOI: 10.1109/EWDT'S.2019.8884451.
38. Abdullaev R., Efanov D. Polynomial Codes Properties Application in Concurrent Error-Detection Systems of Combinational Logic Devices // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDT'S'2021), Batumi, Georgia, September 10–13, 2021. P. 40–46. DOI: 10.1109/EWDT'S52692.2021.9580992.
39. Efanov D. V., Abdullaev R. B., Leskovec I. V. Primenenie polinomial'nyh kodov pri sinteze skhem vstroennogo kontrolya dlya kombinacionnyh cifrovyyh ustrojstv po metodu logicheskogo dopolneniya // Izvestiya vysshih uchebnyh zavedenij. Priborostroenie. 2022. T. 65. № 1. S. 5–18. DOI: 10.17586/0021-3454-2022-65-1-5-18. (In Russian)
40. Efanov D. V., Abdullaev R. B. Boolean Complement Method to Polynomial Codes for Combinational Circuits Testing // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 25–28 January 2022, St. Petersburg, Russia. P. 139–144. DOI: 10.1109/EIConRus54750.2022.9755602.
41. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. Modificirovannye kody s summirovaniem vzveshennyh perekhodov v sistemah funkcional'nogo kontrolya kombinacionnyh skhem // Trudy Instituta sistemnogo programmirovaniya RAN. 2017. Tom 29, № 5. S. 39–60. DOI: 10.15514/ISPRAS-2017-29(5)-3. (In Russian)
42. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y. 10 p.
43. Efanov D. V. Sintez samoproveryaemyh vychislitel'nyh ustrojstv na osnove polnoj sistemy osobyyh grup vyhodov ob'ekta diagnostirovaniya // Izvestiya vysshih uchebnyh zavedenij. Priborostroenie. 2023. T. 66, № 5. S. 355–372. DOI: 10.17586/0021-3454-2023-66-5-355-372. (In Russian)
44. Zakrevskij A. D., Pottosin Yu. V., Cheremisinova L. D. Logicheskie osnovy proektirovaniya diskretnyyh ustrojstv. M.: Fizmatlit, 2007, 592 s. (In Russian)
45. Sentovich E. M., Singh K. J., Moon C., et al. Sequential Circuit Design Using Synthesis and Optimization // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA. P. 328–333. DOI: 10.1109/ICCD.1992.276282.
46. SIS: A System for Sequential Circuit Synthesis / E. M. Sentovich, K. J. Singh, L. Lavagno, et al. // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992. 45 p.
47. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight "1-out-of-4" Code with Signal Compression // Automatic Control and Computer Sciences. 2021. Vol. 55, Issue 2. P. 113–124. DOI: 10.3103/S014641162102005X.
48. Sapozhnikov V. V., Dmitriev A., Goessel M., et al. Self-Dual Parity Checking — a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996. P. 162–168.
49. Efanov D., Sapozhnikov V., Sapozhnikov V. V., et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDT'S'2019), Batumi, Georgia, September 13–16, 2019. P. 136–143. DOI: 10.1109/EWDT'S.2019.8884398.
50. Efanov D. V., Pivovarov D. V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDT'S'2021), Batumi, Georgia, September 10–13, 2021. P. 200–206. DOI: 10.1109/EWDT'S52692.2021.9581019.
51. Efanov D., Osadchy G., Zueva M. Special Aspects of Errors Definition via Sum Codes within Embedded Control Schemas Being Realized by Means of Boolean Complement Method // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021), Vol. 1, Cracow, Poland, September 22–25, 2021. P. 424–431. DOI: 10.1109/IDAACS53288.2021.9660837.
52. Efanov D. V. Osobennosti realizacii samoproveryaemyh struktur na osnove metoda invertirovaniya dannyh i linejnyh kodov // Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika. 2023. № 65. S. 126–138. DOI: 10.17223/19988605/65/13. (In Russian)