



## ПРИМЕНЕНИЕ ВЗВЕШЕННЫХ КОДОВ С СУММИРОВАНИЕМ ПРИ СИНТЕЗЕ СХЕМ ВСТРОЕННОГО КОНТРОЛЯ ПО МЕТОДУ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ

**ПАШУКОВ Артём Валерьевич** — старший преподаватель кафедры<sup>1</sup>; e-mail: art\_pash@mail.ru

<sup>1</sup> Российский университет транспорта (МИИТ), кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте», Москва

В данной работе рассмотрено применение метода логического дополнения для организации самопроверяемых схем встроенного контроля для устройств, синтезированных на программируемых логических интегральных схемах. Дан обзор применения метода логического дополнения при использовании различных помехоустойчивых кодов. Приведен пример синтеза схем контроля по методу логического дополнения. Сформулирован алгоритм синтеза системы контроля по методу логического дополнения с применением взвешенных кодов с суммированием по модулю  $M$ . В качестве примера для этих целей рассмотрены взвешенные коды с суммированием единичных разрядов по модулю  $M=3$  и  $M=4$ . Данные коды имеют всего два контрольных разряда, что упрощает их применение для решения задач проектирования системы функционального диагностирования по методу логического дополнения. Приведен сравнительный анализ обоих кодов при использовании их в системах с логическим дополнением. Предложено применение метода логического дополнения на основе взвешенных кодов с суммированием для синтеза дискретных устройств.

**Ключевые слова:** программируемая логическая интегральная схема; самопроверяемое дискретное устройство; самопроверяемая схема встроенного контроля; метод дублирования; метод логического дополнения; взвешенный код с суммированием.

**DOI:** 10.20295/2412-9186-2022-8-01-101-114

### Введение

В системах железнодорожной автоматики и телемеханики важно передать сигнал до объекта управления без искажений, приводящих к опасным отказам. Для этого при реализации ответственных цепей управления и контроля применяют либо безопасные элементы с несимметричными видами отказов (такие элементы, где вероятность отказа  $1 \rightarrow 0$  на порядок выше вероятности отказа  $0 \rightarrow 1$ ), либо используют резервирование и диверситет аппаратных (или программных) средств, проверки состояний ненадежных элементов на различных каскадах схемных решений и т.д. [1].

На данный момент все чаще при проектировании используются микроэлектронные компоненты с симметричным видом отказа. К таким элементам относятся микропроцессоры, программируемые логические интегральные схемы, микроконтроллеры и др. Чтобы избежать опасных отказов при использовании

элементов с симметричными отказами, применяются различные схемотехнические методы, изменяющие саму структуру компонентов или диагностические устройства, обнаруживающие искажения в сигналах. К таким диагностическим устройствам можно отнести схемы встроенного контроля (СВК). Благодаря использованию СВК своевременно обнаруживаются неверно работающие компоненты [2, 3].

Существует несколько способов организации СВК. Широко используемым способом является метод дублирования. При нем сравниваются одноименные выходы разных комплектов устройств, что позволяет обнаружить любые сочетания ошибок на выходах объекта диагностирования [4, 5]. Несмотря на свою простоту, такой способ имеет существенный недостаток в виде высокой структурной избыточности, а также в ряде случаев не позволяет обеспечивать подачу полного множества тестовых комбинаций на входы устройства сравнения сигналов.

Другим способом организации СВК является применение различных кодов, имеющих невысокую избыточность и ориентированных на обнаружение ошибок в кодовых словах [6]. Среди таких кодов выделяются коды паритета, равновесные коды и коды с суммированием [7]. Однако данные коды не всегда позволяют обнаружить любые сочетания искажений на выходах объекта диагностирования. При этом известны методы организации полностью самопроверяемых устройств, основанные на преобразовании их структур или на выделении групп контролируемых выходов с обнаружением полного множества ошибок [3, 8, 9].

Помимо традиционной структуры существует метод логического дополнения, подразумевающий использование блока логического дополнения для преобразования контрольных функций объекта диагностирования до функций специального вида [10]. Тем самым обеспечивается контроль по ряду диагностических параметров, например по принадлежности функций к классу самодвойственных функций [11] или формируемых кодовых векторов равновесному коду [12], или сразу с учетом обоих этих свойств [13].

Применение метода логического дополнения позволяет уменьшить показатели сложности технической реализации компонентов схемы контроля, а также обеспечить их самопроверяемость.

При организации СВК по методу логического дополнения на процедуру синтеза накладывается ряд ограничений, приведенных в [14]. Способы синтеза полностью самопроверяемых устройств по методу логического дополнения при использовании кодов с суммированием изучены недостаточно хорошо.

В [10, 15–18] описаны способы синтеза СВК по методу логического дополнения для кодов «1 из 3», «1 из 4», «2 из 4» и кодов Бергера. Особенностью применения любых кодов при синтезе СВК по методу логического дополнения является то, что неисправности в объекте диагностирования могут вызвать искажения произвольных разрядов. Для равновесных кодов число ошибок определяется множеством разрешенных кодовых слов (их число равно  $C_m^r$ , где  $m$  — длина кодовых слов,  $r$  — вес):  $C_m^r (C_m^r - 1)$ . К примеру, для кода «1 из 4»

это  $C_4^1 (C_4^1 - 1) = 4 \cdot 3 = 12$  необнаруживаемых ошибок. Для делимых кодов, в том числе кодов Бергера, число кодовых слов равно  $2^m$ , а число возможных ошибок определяется величиной  $2^m (2^m - 1)$  [19]. Для примера, при  $m = 4$  имеем  $2^4 (2^4 - 1) = 16 \cdot 15 = 240$  необнаруживаемых ошибок. Это в 20 раз больше, чем в коде «1 из 4»! По этой причине особенности применения именно делимых кодов при синтезе СВК по методу логического дополнения изучены поверхностно. Известно единичное число работ, освещающих особенности синтеза СВК по методу логического дополнения с применением классических и модульных кодов с суммированием. В [17] приводится способ синтеза СВК на основе кодов Бергера с тремя информационными и двумя контрольными разрядами. Выходы объекта диагностирования разбиваются на группы по пять выходов в каждой. Для каждой такой группы строится отдельная схема контроля. Выходы отдельных СВК объединяются на входах самопроверяемого компаратора. В [20] обсуждаются вопросы применения модульных кодов с суммированием при организации СВК по методу логического дополнения. Предлагается все выходы объекта диагностирования рассматривать как единую группу и для нее осуществлять преобразование, дающее в СВК на входах тестера кодовое слово модульного кода с суммированием. В [21–24] изучены характеристики обнаружения ошибок классическими кодами Бергера и модульными кодами с суммированием, проявляющиеся при организации СВК по методу логического дополнения. Авторами показано, что число потенциальных необнаруживаемых ошибок может быть сокращено за счет изоляции преобразуемых и не преобразуемых в СВК выходов объекта диагностирования.

В настоящей статье поставлена следующая задача: исследовать возможности применения еще одного класса кодов с суммированием при организации СВК по методу логического дополнения — взвешенных кодов с суммированием [25–30]. При этом автором рассматриваются как общие особенности синтеза СВК по методу логического дополнения с применением взвешенных кодов, так и приводятся частные случаи применения взвешенных кодов с суммированием по модулям  $M = 3$  и  $M = 4$ .

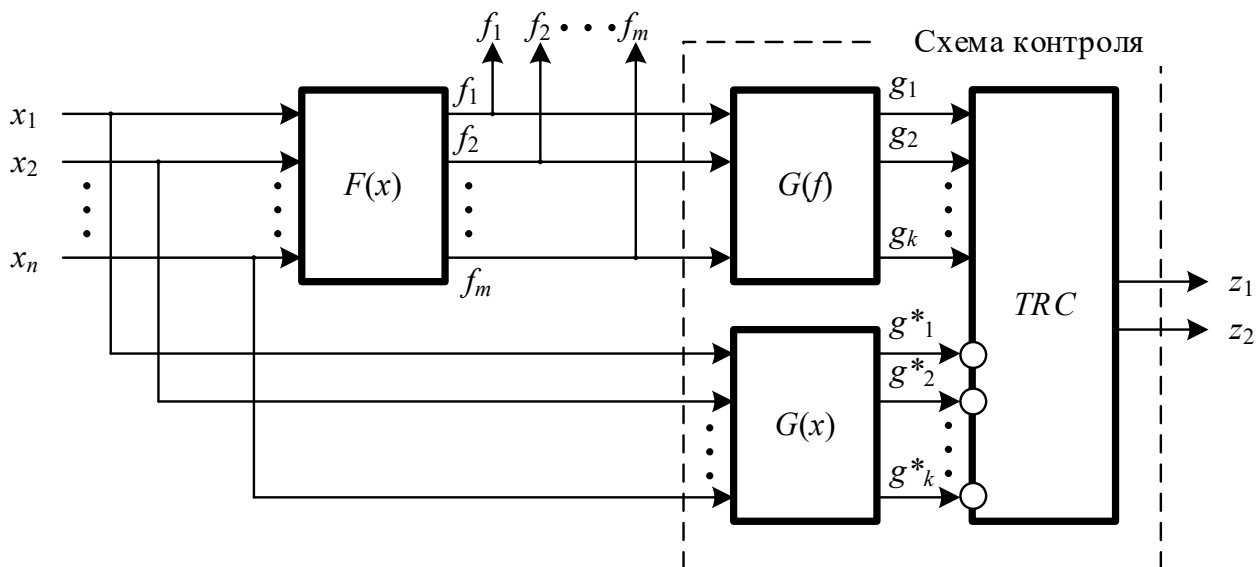


Рис. 1. Структурная схема системы диагностирования комбинационного устройства

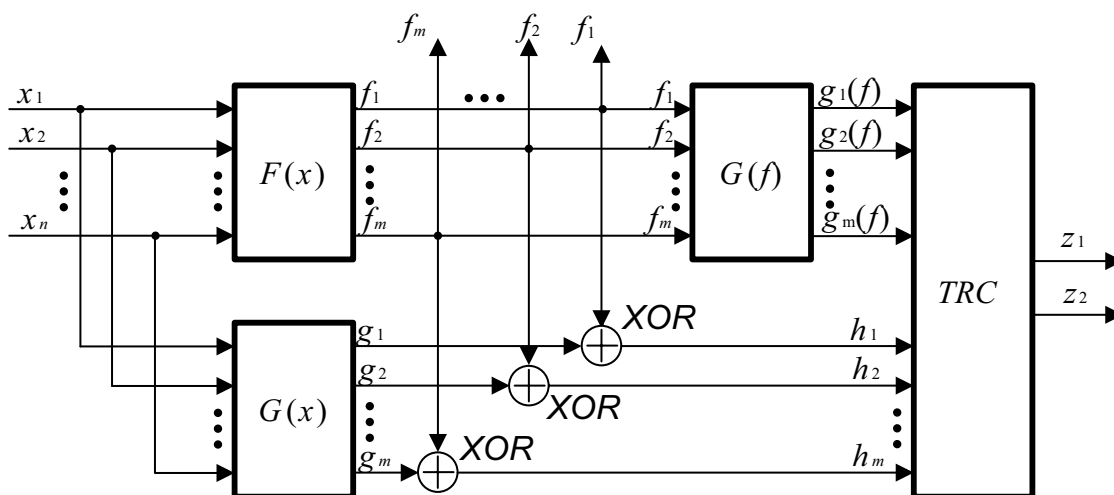


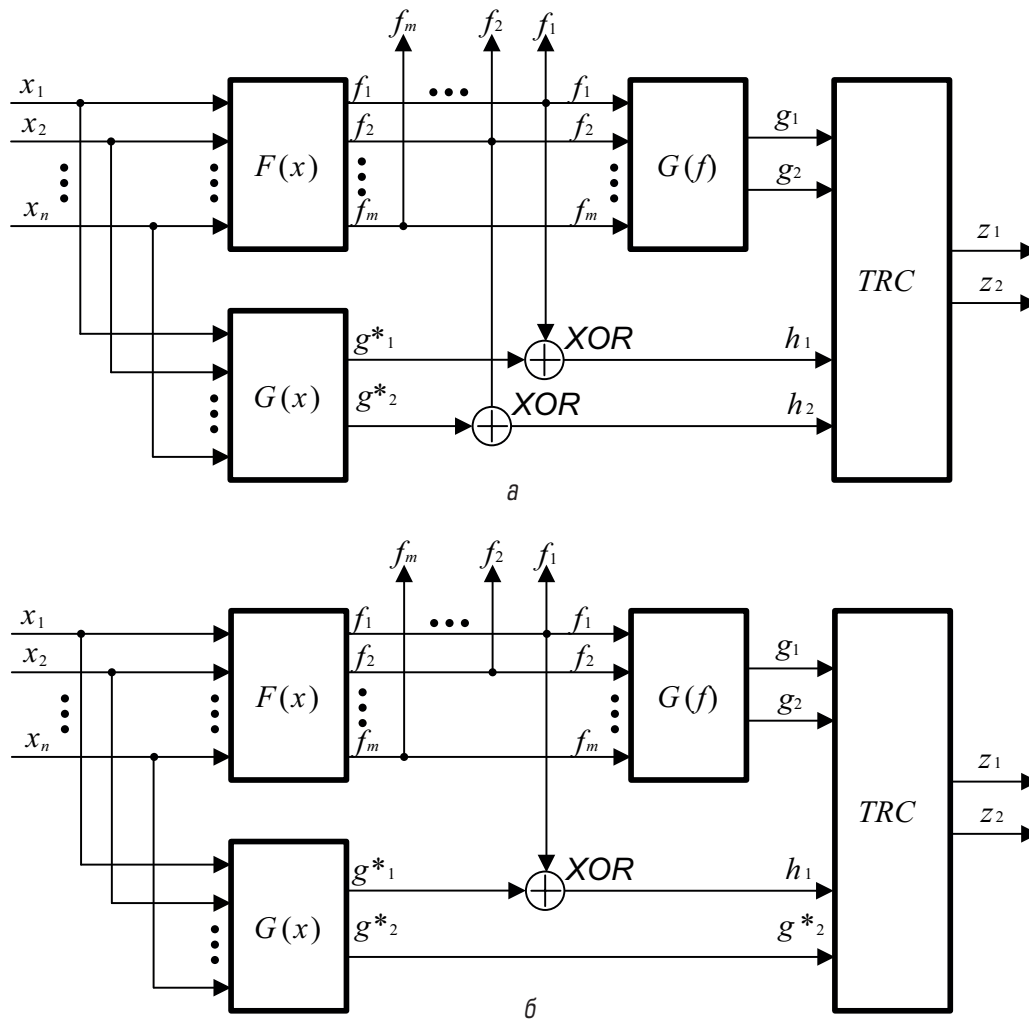
Рис. 2. Структурная схема организации СВК по методу логического дополнения

### 1. Структура организации схемы встроенного контроля по методу логического дополнения

Классическая система технического диагностирования реализуется на основе структурной схемы, представленной на рис. 1 [12].

В ней исходное устройство, являющееся объектом диагностирования,  $F(x)$  снабжается схемой контроля, включающей в себя три блока:  $G(f)$ ,  $G(x)$  и  $TRC$ . Блок  $G(f)$  представляет собой преобразователь информационных векторов в контрольные векторы (является кодером выбранного кода). Блок контрольной логики  $G(x)$  вычисляет контрольные функции  $g_i$ . Блок  $TRC$  позволяет сравнивать одноименные сигналы, формируемые на выходах блоков  $G(f)$  и  $G(x)$  и

реализуется, как правило, в виде схемы сжатия. Для этого выходы одного из блоков перед поступлением на входы блока  $TRC$  предварительно инвертируются. По этой причине выходы блока  $G(x)$  (либо блока  $G(f)$ ) перед поступлением на входы блока  $TRC$  предварительно инвертируются. Альтернативой такому подходу является предварительное инвертирование значений контрольных разрядов, вычисляемых блоком  $G(x)$  (либо блоком  $G(f)$ ), на этапе синтеза соответствующих компонентов схемы контроля. При нормальной работе устройства на выходах блока  $TRC$  наблюдается парафазный сигнал (<01> или <10>). При нарушении работы возникает несоответствие между информационными и контрольными векторами и парафазность нарушается.



**Рис. 3.** Структурные схемы организации СВК методом логического дополнения до  $WSM(m, k)$ -кода со значением модулей  $M = 3, 4$ :  
 а — с преобразованием двух функций; б — с преобразованием одной функции

Тестер не будет обнаруживать только такие ошибки в информационных векторах, которые вызывают их трансформацию в информационные векторы с аналогичным контрольным вектором.

Для синтеза блока контрольной логики и кодера могут применяться различные помехоустойчивые коды. Среди них можно выделить полиномиальные коды, свойства и особенности применения которых при синтезе СВК описаны в [31–36], различные коды с суммированием [13, 28, 37–40] и другие.

Альтернативным вариантом организации СВК является использование метода логического дополнения. Во многих работах достаточно хорошо изучено логическое дополнение до равновесных кодов [10, 15–18]. Структурная схема системы контроля на основе логического дополнения изображена на рис. 2.

Схема состоит из трех основных блоков: блок контрольной логики  $G(x)$ , блок логического дополнения и тестер в составе кодера  $G(f)$  и компаратора  $TRC$ . Принцип работы заключается в следующем: блок контрольной логики вычисляет функции  $g_i$ , которые подаются на блок логического дополнения, где они суммируются с функциями  $f_i$  по модулю два  $h_i = f_i \oplus g_i$ . Таким образом, блок логического дополнения представляет собой набор элементов сложения по модулю два, на выходах которых формируется один из кодовых разрядов  $h_i$ . Затем в тестере происходит сравнение одноименных сигналов.

В данной работе для задачи построения логического дополнения рассматривается применение взвешенных кодов с суммированием с произвольными значениями модулей. Свойства и особенности таких взвешенных кодов с суммированием описаны в [41].

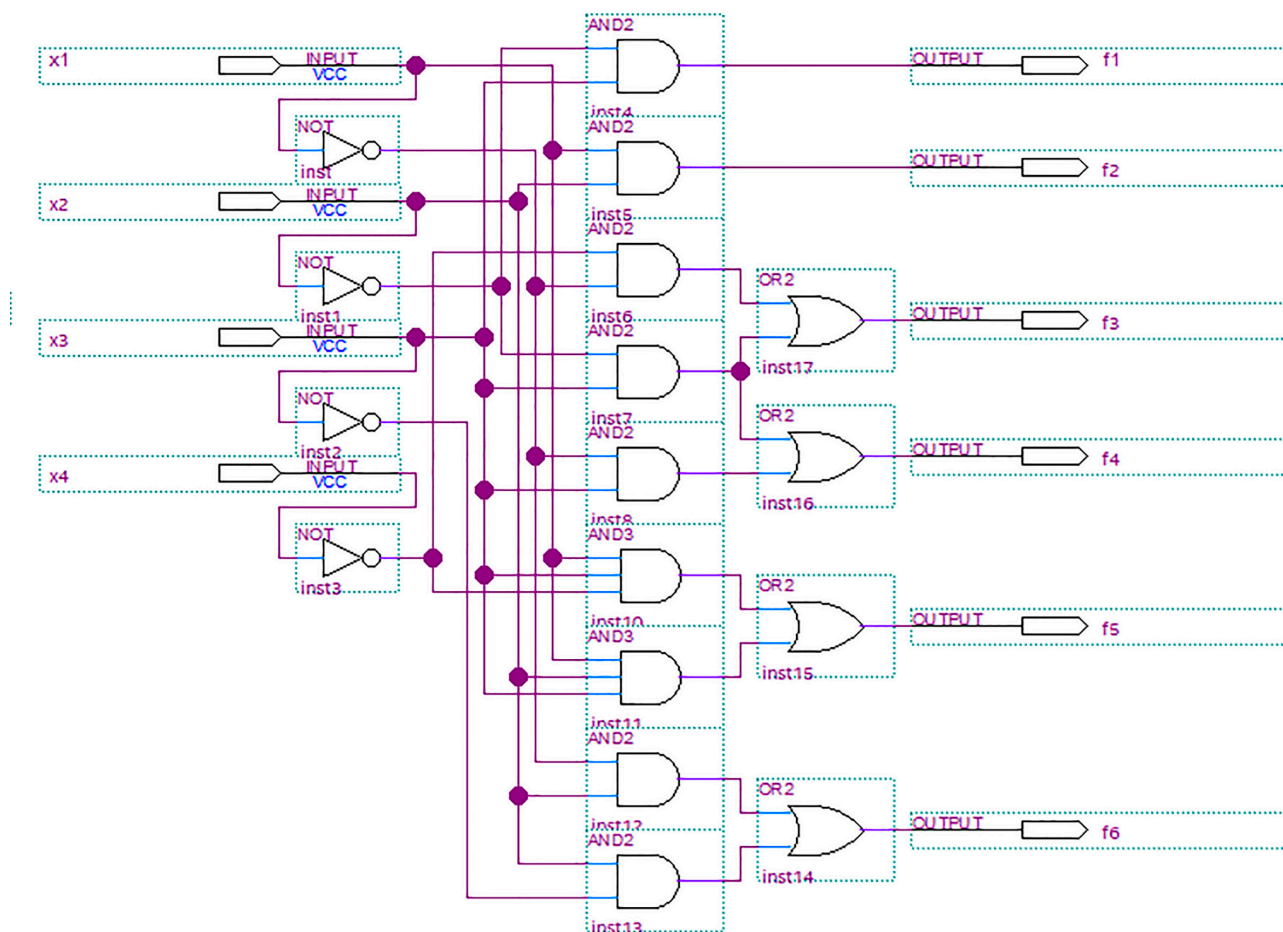


Рис. 4. Исходное комбинационное устройство

Рассмотрим два частных случая — применение взвешенных кодов с суммированием по модулям  $M = 3$  и  $M = 4$  ( $WS3(m, k)$ -код и  $WS4(m, k)$ -код). Такие коды будут иметь по  $k = 2$  контрольных разряда. При использовании рассматриваемых кодов возможны два варианта реализации СВК по методу логического дополнения (рис. 3). Структура будет отличаться от рис. 1 тем, что в ней используется блок логического дополнения, образованный одним или двумя сумматорами по модулю два.

В первом случае (рис. 3, а) с помощью функций дополнения  $g_1$  и  $g_2$  преобразуются две любые рабочие функции в контрольные функции  $h_1$  и  $h_2$ , например:  $h_1 = f_1 \oplus g_1$ ,  $h_2 = f_2 \oplus g_2$ . Второй вариант (рис. 3, б) подразумевает преобразование только одной рабочей функции с помощью функции  $g_2$ , например  $h_1 = f_1 \oplus g_1$ . В данном случае функция младшего контрольного разряда вычисляется напрямую блоком контрольной логики  $h_2 = g_2$ .

Применение метода логического дополнения позволяет увеличить вариативность синтеза схем контроля без значительного увеличения избыточности и синтезировать полностью самопроверяемые дискретные устройства.

## 2. Синтез самопроверяемых устройств по методу логического дополнения с применением взвешенных кодов с суммированием

Приведем пример использования представленных на рис. 3 структурных схем для организации контроля комбинационного устройства автоматики, изображенного на рис. 4.

Опишем алгоритм синтеза устройства с логическим дополнением до взвешенных кодов с суммированием по модулю  $M$ :

1. Выбирается количество преобразуемых функций (в зависимости от варианта одна или две функции).

2. Оставшимся функциям присваивается весовой коэффициент  $w_i$ .

3. Производится расчет веса кодового вектора по формуле:

$$W = \sum_{i=1}^m x_i w_i, \tag{1}$$

где  $w_i$  — весовой коэффициент;

$m$  — количество информационных разрядов;

$x_i$  — значение соответствующего разряда информационного вектора (0 или 1).

4. Находится наименьший неотрицательный вычет по модулю  $M$ , по выражению:

$$W_M = W \pmod{M}. \tag{2}$$

5. Результат записывается в двоичном коде как  $g_j$ .

6. Находятся функции  $g_j$ .

7. Производится преобразование выбранных рабочих функций в контрольные. Если преобразуются две функции, то  $h_1 = f_1 \oplus g_1$ ,  $h_2 = f_2 \oplus g_2$ , если одна —  $h_1 = f_1 \oplus g_1$ ,  $h_2 = g_2$ .

8. Производится синтез кодера согласно выбранному модулю  $M$ .

9. Производится синтез блока  $TRC$ , на котором производится сравнение одноименных сигналов.

В табл. 1, 2 задано комбинационное устройство  $F(x)$  при  $M = 3$  и 4 соответственно, а в таблицах 3–6 приведены по одному варианту доопределения значений контрольных функций  $g_1$  и  $g_2$  в соответствии со структурами, изображенными на рис. 2 при  $M = 3$  и 4 соответственно. В первом случае СВК строится с контролем по  $WS3(5,2)$ -коду, во втором — с контролем по  $WS3(4,2)$ -коду, в третьем — с контролем по  $WS4(4,2)$ -коду, в четвертом — с контролем по  $WS4(5,2)$ -коду.

Для табл. 3 и 5 преобразуются функции  $f_5$  и  $f_6$ , для табл. 4 и 6 — только функции  $f_6$ . Соответственно, для нахождения контрольных функций  $g_j$  в табл. 1 и 2 суммируются весовые коэффициенты для функций  $f_1$ – $f_6$ , в табл. 3 и 5 —  $f_1$ – $f_4$ , в табл. 4 и 6 —  $f_1$ – $f_5$ .

При оценке показателей СВК использовались параметры программируемых логических интегральных схем (ПЛИС). Типы возможных

Таблица 1. Описание работы СВК, реализованной по методу вычисления контрольных разрядов при  $M = 3$  с весовыми коэффициентами [1, 2, 3, 4, 5, 6]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$
0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	1	0
3	0	0	1	1	1	0	1	1	0	0	1	0
4	0	1	0	0	0	0	1	0	0	1	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0
6	0	1	1	0	0	0	1	1	0	1	0	1
7	0	1	1	1	0	0	0	1	0	1	0	1
8	1	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	0	1
11	1	0	1	1	1	0	1	1	0	0	1	0
12	1	1	0	0	0	1	0	0	0	1	1	0
13	1	1	0	1	0	1	0	0	0	1	1	0
14	1	1	1	0	0	1	0	0	1	0	0	1
15	1	1	1	1	0	1	0	0	1	0	0	1

Таблица 2. Описание работы СВК, реализованной по методу вычисления контрольных разрядов при  $M = 4$  с весовыми коэффициентами [1, 2, 3, 4, 5, 6]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$
0	0	0	0	0	0	0	1	0	0	0	1	1
1	0	0	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	0	0
3	0	0	1	1	1	0	1	1	0	0	0	0
4	0	1	0	0	0	0	1	0	0	1	0	1
5	0	1	0	1	0	0	0	0	0	1	1	0
6	0	1	1	0	0	0	1	1	0	1	0	1
7	0	1	1	1	0	0	0	1	0	1	1	0
8	1	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	0	1
11	1	0	1	1	1	0	1	1	0	0	0	0
12	1	1	0	0	0	1	0	0	0	1	0	0
13	1	1	0	1	0	1	0	0	0	1	0	0
14	1	1	1	0	0	1	0	0	1	0	1	1
15	1	1	1	1	0	1	0	0	1	0	1	1

Таблица 3. Описание работы СВК с преобразованием двух функций при  $M = 3$  с весовыми коэффициентами [1, 2, 3, 4]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$	$h_1$	$h_2$
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	1	0	1	0
3	0	0	1	1	1	0	1	1	0	0	1	0	1	0
4	0	1	0	0	0	0	1	0	0	1	0	0	0	1
5	0	1	0	1	0	0	0	0	0	1	0	0	0	1
6	0	1	1	0	0	0	1	1	0	1	0	1	0	0
7	0	1	1	1	0	0	0	1	0	1	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	1	0	0	0
11	1	0	1	1	1	0	1	1	0	0	1	0	1	0
12	1	1	0	0	0	1	0	0	0	1	1	0	1	0
13	1	1	0	1	0	1	0	0	0	1	1	0	1	1
14	1	1	1	0	0	1	0	0	1	0	1	0	0	0
15	1	1	1	1	0	1	0	0	1	0	1	0	0	0

Таблица 4. Описание работы СВК с преобразованием одной функции при  $M = 3$  с весовыми коэффициентами [1, 2, 3, 4, 5]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$	$h_1$	$h_2$
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	1	0	1	0
3	0	0	1	1	1	0	1	1	0	0	1	0	1	0
4	0	1	0	0	0	0	1	0	0	1	0	0	1	0
5	0	1	0	1	0	0	0	0	0	1	0	0	1	0
6	0	1	1	0	0	0	1	1	0	1	0	1	1	1
7	0	1	1	1	0	0	0	1	0	1	0	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	0	1	0	1
11	1	0	1	1	1	0	1	1	0	0	1	0	1	0
12	1	1	0	0	0	1	0	0	0	1	1	0	0	0
13	1	1	0	1	0	1	0	0	0	1	1	0	0	0
14	1	1	1	0	0	1	0	0	1	0	0	1	0	1
15	1	1	1	1	0	1	0	0	1	0	0	1	0	1

Таблица 5. Описание работы СВК с преобразованием двух функций при  $M = 4$  с весовыми коэффициентами [1, 2, 3, 4]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$	$h_1$	$h_2$
0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	0	0	0	0
3	0	0	1	1	1	0	1	1	0	0	0	0	0	0
4	0	1	0	0	0	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	1
6	0	1	1	0	0	0	1	1	0	1	1	1	1	0
7	0	1	1	1	0	0	0	1	0	1	0	0	0	1
8	1	0	0	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	0	0	1	0
11	1	0	1	1	1	0	1	1	0	0	0	0	0	0
12	1	1	0	0	0	1	0	0	0	1	0	1	0	0
13	1	1	0	1	0	1	0	0	0	1	0	1	0	0
14	1	1	1	0	0	1	0	0	1	0	0	1	1	1
15	1	1	1	1	0	1	0	0	1	0	0	1	1	1

Таблица 6. Описание работы СВК с преобразованием одной функции при  $M = 4$  с весовыми коэффициентами [1, 2, 3, 4, 5]

№	$x_1$	$x_2$	$x_3$	$x_4$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$g_1$	$g_2$	$h_1$	$h_2$
0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	1	0	1	1	0	0	0	0	0	0
3	0	0	1	1	1	0	1	1	0	0	0	0	0	0
4	0	1	0	0	0	0	1	0	0	1	1	1	0	1
5	0	1	0	1	0	0	0	0	0	1	0	0	1	0
6	0	1	1	0	0	0	1	1	0	1	1	1	0	1
7	0	1	1	1	0	0	0	1	0	1	0	0	1	0
8	1	0	0	0	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	0	1	0	1
11	1	0	1	1	1	0	1	1	0	0	0	0	0	0
12	1	1	0	0	0	1	0	0	0	1	1	0	0	0
13	1	1	0	1	0	1	0	0	0	1	1	0	0	0
14	1	1	1	0	0	1	0	0	1	0	1	1	1	1
15	1	1	1	1	0	1	0	0	1	0	1	1	1	1

Таблица 7. Параметры ПЛИС

Блок системы	Семейство ПЛИС	Тип ПЛИС	Количество логических ячеек	Количество портов входа/выхода
Исходная схема	Cyclone IV E	EP4CE6E22C7	6272	92
Блок $G(x)$	MAX II	EPM570F256C3	570	160
Блок $G(f)$	MAX 10	10M02DCU324A6G	2304	160
Блок логического дополнения	MAX V	5M40ZE64A5	40	54
Блок TRC	MAX II	EPM240T100C4	240	80

неисправностей в ПЛИС более подробно описаны в [42]. Предложенный метод позволяет обнаружить все типы неисправностей, возникающих в ходе работы системы.

Отметим, что все структурные блоки реализуются на разных кристаллах ПЛИС. Типы и параметры ПЛИС для каждого блока представлены в табл. 7.

Минимизация функций  $f_1-f_6$  методом Карно дает следующий результат:

$$f_1 = \overline{x_2 x_3};$$

$$f_2 = x_1 x_2;$$

$$f_3 = \overline{x_1 x_4} \vee \overline{x_2 x_3};$$

$$f_4 = \overline{x_1 x_3} \vee \overline{x_2 x_3};$$

$$f_5 = x_1 x_3 \overline{x_4} \vee x_1 x_2 x_3;$$

$$f_6 = \overline{x_1 x_2} \vee \overline{x_2 x_3}.$$

Проведем оценку сложности реализации блока  $F(x)$  по числу занимаемых ячеек на ПЛИС:

$$L_{F(x)} = 16 \text{ (6 логических ячеек + 10 портов входа/выхода).}$$

Зная величину  $L_{F(x)}$ , оценим сложность реализации устройства с СВК, реализованной по методу дублирования:

$$L_D = 2L_{F(x)} + mL_{NOT} + L_{TRC}, \tag{3}$$

где  $L_{NOT}$  — сложность реализации элемента инверсии сигнала ( $NOT$ );

$L_{TRC}$  — сложность реализации элемента сжатия парафазных сигналов ( $TRC$ ).

Для рассматриваемого примера

$$L_D = 2 \cdot 16 + 24 = 56.$$

Внесем в табл. 1, 2 описание СВК, реализованной по структуре на рис. 1. При этом используем для контроля  $WS3(6,2)$ -код и  $WS4(6,2)$ -код соответственно.

Используя методы минимизации, получим из табл. 1 функции  $g_1$  и  $g_2$ :

$$g_1 = \overline{x_1 x_2 x_3 x_4} \vee x_1 \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \overline{x_4};$$

$$g_2 = \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_4}.$$

Сложность реализации  $L_{G(x)} = 7 (1 + 6)$ .

Сложность реализации устройства с СВК определяется по формуле:

$$L_{S4} = L_{F(x)} + L_{G(x)} + L_{G(f)} + L_{TRC}, \tag{4}$$

где  $L_{G(f)}$  — сложность реализации кодера выбранного кода.

Сложность кодера зависит от того, сколько информационных и контрольных разрядов имеет код, а также от того, какой способ реализации выбран для него. На рис. 4 представлены кодеры для  $WS3(6,2)$ ,  $WS3(5,2)$ ,  $WS3(4,2)$ ,  $WS4(6,2)$ ,  $WS4(5,2)$ ,  $WS4(4,2)$  кодов, реализованные на логических элементах, которые используются в приведенных здесь и далее примерах реализации СВК. Сложности кодеров определяются исходя из количества занимаемых ячеек на ПЛИС. Таким образом, сложности кодеров  $WS3(6,2)$ ,  $WS4(6,2)$ ,  $WS3(4,2)$ ,  $WS3(5,2)$ ,  $WS4(4,2)$ ,  $WS4(5,2)$  кодов соответственно равны:  $L_{G(f)} = 8$  (2 логические ячейки + 6 портов входа/выхода),  $L_{G(f)} = 9$  (2 + 7),  $L_{G(f)} = 6$  (1 + 5),  $L_{G(f)} = 8$  (2 + 6),  $L_{G(f)} = 7$  (2 + 5),  $L_{G(f)} = 8$  (2 + 6).



Устройство с СВК, реализованной по методу вычисления контрольных разрядов, если каждый блок реализован на отдельной микросхеме, имеет сложность реализации:

$$L_{WS3} = 16 + 7 + 9 + 8 = 40.$$

Из табл. 2 следует, что:

$$g_1 = \overline{x_1 x_2 x_3 x_4} \vee x_1 x_2 x_3 \vee x_1 x_2 x_4;$$

$$g_2 = \overline{x_1 x_3 x_4} \vee x_1 x_3 x_4 \vee x_1 x_2 x_3 \vee x_2 x_3 x_4.$$

Сложность реализации

$$L_{G(x)} = 7 (1 + 6).$$

Таким образом, сложность реализации устройства с СВК равна:

$$L_{WS4} = 16 + 7 + 6 + 8 = 37.$$

В табл. 3 и 4 представлено описание устройств с СВК, реализованными по представленным на рис. 2 структурам при  $M = 3$ , в табл. 6 и 7 при  $M = 4$ . Для них сложность реализации определяется по формуле:

$$L_{WSMBC} = L_{F(x)} + L_{G(x)} + L_{BC} + L_{G(f)} + L_{TRC}, \quad (5)$$

где  $L_{BC}$  — сложность реализации блока логического дополнения. Для способа с преобразованием одной функции  $L_{BC} = 4 (1 + 3)$ , с преобразованием двух функций —  $L_{BC} = 8 (2 + 6)$ .

Из табл. 3 следует, что:

$$g_1 = \overline{x_2 x_3} \vee x_1 x_2;$$

$$g_2 = x_1 x_2 x_3.$$

Сложность реализации

$$L_{G(x)} = 6 (1 + 5).$$

Таким образом, сложность реализации устройства с СВК равна:

$$L_{WS3BC} = 16 + 6 + 8 + 6 + 8 = 44.$$

Из табл. 4 следует, что:

$$g_1 = \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_3} \vee \overline{x_2 x_3 x_4};$$

$$g_2 = x_1 x_2 \vee x_1 x_3 x_4.$$

Сложность реализации  $L_{G(x)} = 7 (1 + 6)$ .

Сложность реализации устройства с СВК равна:

$$L_{WS4BC} = 16 + 7 + 8 + 4 + 8 = 43.$$

Из табл. 5 следует, что:

$$g_1 = \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_4};$$

$$g_2 = \overline{x_1 x_3 x_4} \vee x_1 x_2 \vee x_1 x_4.$$

Сложность реализации  $L_{G(x)} = 7 (1 + 6)$ .

Таким образом, сложность реализации устройства с СВК равна:

$$L_{WS3BC} = 16 + 7 + 8 + 7 + 8 = 46.$$

Из табл. 6 следует, что:

$$g_1 = \overline{x_1 x_3 x_4} \vee x_1 x_2 \vee x_2 x_4;$$

$$g_2 = \overline{x_1 x_3 x_4} \vee x_1 x_3 x_4 \vee x_1 x_2 x_3 \vee x_2 x_3 x_4.$$

Сложность реализации

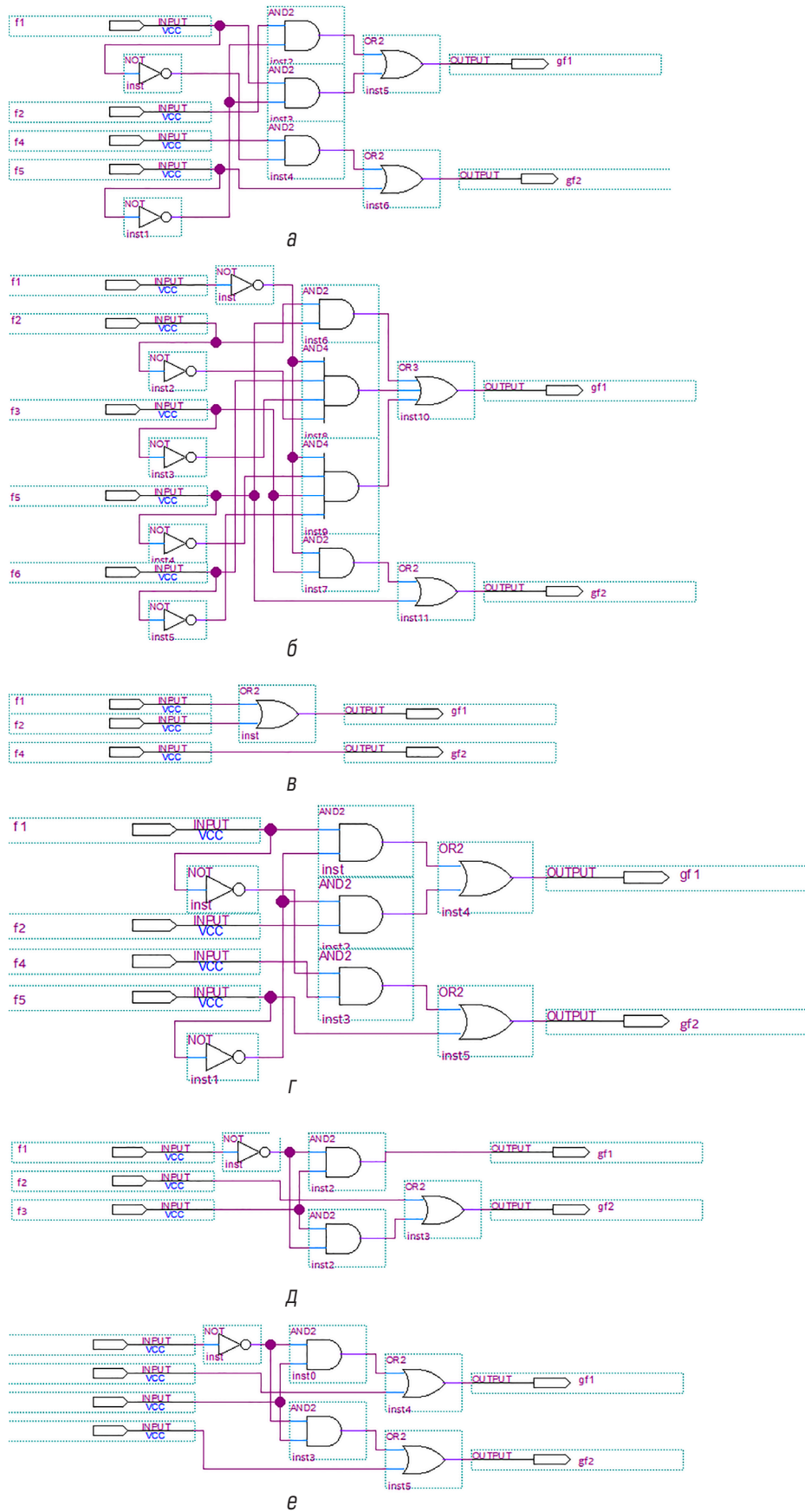
$$L_{G(x)} = 7 (1 + 6).$$

Сложность реализации устройства с СВК равна:

$$L_{WS4BC} = 16 + 7 + 4 + 8 + 8 = 43.$$

Полученные численные данные для оценки сложности реализации устройств сведены в табл. 8.

Из табл. 8 следует, что самопроверяемые устройства, реализованные по первому или второму варианту (рис. 3), по сложности соизмеримы с устройствами, реализованным по традиционной структурной схеме (рис. 1).



**Рис. 4.** Кодеры кодов с суммированием:  
 а —  $WS3(6,2)$ -кода; б —  $WS4(6,2)$ -кода; в —  $WS3(4,2)$ -кода;  
 г —  $WS3(5,2)$ -кода; д —  $WS4(4,2)$ -кода; е —  $WS4(5,2)$ -кода

Таблица 8. Сложности реализации устройств с СВК, реализованными различными способами

$L_D$	$L_{WS3}$	$L_{WS4}$	$L_{WS3AB}$ (по первому варианту)	$L_{WS3}$ (по второму варианту)	$L_{WS4BC}$ (по первому варианту)	$L_{WS4BC}$ (по второму варианту)
56	40	37	43	43	44	46
100	71,428	66,071	76,786	76,786	78,571	82,143

Также, исходя из данных синтеза на ПЛИС, можно сделать вывод, что на сложность реализации в основном влияет количество входных и выходных значений, что связано с синтезом отдельных блоков на разных микросхемах. Однако при увеличении сложности внутренней структуры исходного устройства (или при увеличении входных параметров) данный недостаток будет компенсирован.

### Заключение

В отличие от использования при организации СВК по методу логического дополнения равновесных кодов, при использовании взвешенных кодов с суммированием на процедуру синтеза накладываются дополнительные ограничения. Эти ограничения связаны с возможностью гарантированной фиксации искажений в информационных и контрольных разрядах, формируемых на входах тестера кодовых слов. Одновременные ошибки в информационных и контрольных разрядах могут возникнуть из-за того, что контрольные разряды получаются путем преобразования заранее выбранных рабочих функций диагностируемого устройства. Данную особенность следует учитывать при организации СВК по методу логического дополнения. Для исключения вероятности возникновения таких ошибок следует применять схемные решения, например выделять группы независимых друг от друга выходов.

В отличие от применения взвешенных кодов с суммированием в традиционной структуре, метод логического дополнения увеличивает вариативность реализации СВК. Наиболее простыми являются структуры, где синтезируется и преобразуется только одна рабочая функция.

Использование метода логического дополнения не приводит к резкому увеличению избыточности, а в некоторых случаях, по сравнению с классическими методами, — приводит к уменьшению сложности, что позволяет его

применять для различных устройств, реализованных на различной элементной базе.

Применение метода логического дополнения позволяет модернизировать диагностические устройства, работающие совместно с объектными контроллерами микропроцессорных систем [43]. Соответственно, предложенный метод можно применять и в системах, созданных на базе программируемых логических интегральных схем. ✂

### Библиографический список

1. Сапожников В. В. Методы построения безопасных микроэлектронных систем железнодорожной автоматики / В. В. Сапожников, Вл. В. Сапожников, Х. А. Христов, Д. В. Гавзов; под ред. Вл. В. Сапожникова. — М.: Транспорт, 1995. — 272 с.
2. Пархоменко П. П. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства) / П. П. Пархоменко, Е. С. Согомоян. — М.: Энергоатомиздат, 1981. — 320 с.
3. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомоян, Е. В. Слабаков. — М.: Радио и связь, 1989. — 208 с.
4. Goessel M. Error Detection Circuits / M. Goessel, S. Graf. — London: McGraw-Hill, 1994. — 261 p.
5. Nicolaidis M. On-Line Testing for VLSI — A Compendium of Approaches / M. Nicolaidis, Y. Zorian // Journal of Electronic Testing: Theory and Applications. — 1998. — № 12. — Pp. 7–20.
6. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes / S. J. Piestrak // Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej. — 1995. — 111 p.
7. Efanov D. Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems / D. Efanov, V. Sapozhnikov, Vl. Sapozhnikov // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS' 2017), Novi Sad, Serbia, September 29 — October 2. — 2017. — Pp. 365–371. — DOI: 10.1109/EWDTS.2017.8110126.
8. Busaba F. Y. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors / F. Y. Busaba, P. K. Lala // Journal of Electronic Testing: Theory and Applications. — 1994. — I. 1. — Pp. 19–28. — DOI: 10.1007/BF00971960.
9. Morosow A. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs / A. Morosow, V. V. Saposhnikov, Vl. V. Saposhnikov, M. Goessel // VLSI Design. — 1998. — Vol. 5. — I. 4. — Pp. 333–345. — DOI: 10.1155/1998/20389.

10. Гессель М. Логическое дополнение — новый метод контроля комбинационных схем / М. Гессель, А. В. Морозов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. — 2003. — № 1. — С. 167–176.
11. Saposhnikov VI. V. Self-Dual Parity Checking — a New Method for on Line Testing / VI. V. Saposhnikov, A. Dmitriev, M. Goessel, V. V. Saposhnikov // Proceedings of 14th IEEE VLSI Test Symposium. — USA, Princeton, 1996. — Pp. 162–168.
12. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. — Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
13. Efanov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems / D. Efanov, V. Sapozhnikov, Vl. Sapozhnikov, G. Osadchy, D. Pivovarov // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019). — Batumi, Georgia, September 13–16, 2019. — Pp. 136–143. DOI: 10.1109/EWDTS.2019.8884398.
14. Efanov D. V. The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the «1-out-of-m» Constant-Weight Code / D. V. Efanov, V. V. Sapozhnikov, Vl. V. Sapozhnikov, D. V. Pivovarov // Automatic Control and Computer Sciences. — 2020. — Vol. 54. — I. 2. — Pp. 89–99. — DOI: 10.3103/S0146411620020042.
15. Das D. K. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes / D. K. Das, S. S. Roy, A. Dmitriev, A. Morozov, M. Gössel // Proceedings of the 10th International Workshops on Boolean Problems. — Freiberg, Germany, September, 2012. — Pp. 33–40.
16. Сапожников В. В. Организация функционального контроля комбинационных схем методом логического дополнения / В. В. Сапожников, Вл. В. Сапожников, А. В. Дмитриев, А. В. Морозов, М. Гессель // Электронное моделирование. — 2002. — Т. 24. — № 6. — С. 52–66.
17. Morozov A. New Self-checking Circuits by Use of Berger-codes / A. Morozov, V. V. Saposhnikov, Vl. V. Saposhnikov, M. Goessel // 6-th IEEE Int. On-line Testing Workshop. — Palma de Mallorca, Spain. — 2000. — Pp. 141–146.
18. Сапожников В. В. Построение самопроверяемых структур систем функционального контроля на основе равновесного кода «2 из 4» / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Проблемы управления. — 2017. — № 1. — С. 57–64.
19. Efanov D. Special Aspects of Errors Definition via Sum Codes within Embedded Control Schemas Being Realized by Means of Boolean Complement Method / D. Efanov, G. Osadchy, M. Zueva // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021). — Cracow, Poland, September 22–25, 2021. — Vol. 1. Pp. 424–431.
20. Efanov D. V. The Self-Checking Concurrent Error-Detection Systems Synthesis Based on the Boolean Complement to the Bose-Lin Codes with the Modulo Value  $M = 4$  / D. V. Efanov, V. V. Sapozhnikov, Vl. V. Sapozhnikov // Electronic Modeling. — 2021. — Vol. 43. — I. 1. — Pp. 28–45. — DOI: 10.15407/emodel.43.01.028.
21. Ефанов Д. В. Коды Бергера в схемах встроенного контроля, реализованных на основе метода логического дополнения / Д. В. Ефанов, Г. В. Осадчий, М. В. Зуева // Информатика и системы управления. — 2021. — № 1. — С. 75–89. — DOI: 10.22250/isu.2021.67.75-89.
22. Ефанов Д. В. Логическое дополнение до модульных кодов с суммированием для синтеза схем встроенного контроля комбинационных устройств автоматики и вычислительной техники / Д. В. Ефанов, М. В. Зуева // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). — 2021. — № 1. — С. 52–60. — DOI: 10.31114/2078-7707-2021-1-52-60.
23. Ефанов Д. В. Особенности обнаружения ошибок кодами с суммированием единичных информационных разрядов в кольце вычетов по заданному модулю в схемах встроенного контроля, синтезированных на основе метода логического дополнения / Д. В. Ефанов, Г. В. Осадчий, М. В. Зуева // Автоматика на транспорте. — 2021. — Т. 7. — № 2. — С. 284–314. — DOI: 10.20295/2412-9186-2021-7-2-284-314.
24. Efanov D. Specifics of Error Detection with Modular Sum Codes in Concurrent Error-Detection Circuits Based on Boolean Complement Method / D. Efanov, G. Osadchy, M. Zueva // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021). — Batumi, Georgia, September 10–13, 2021. Pp. 59–69. DOI: 10.1109/EWDTS52692.2021.9581036.
25. Сапожников В. В. Взвешенные коды с суммированием для организации контроля логических устройств / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Электронное моделирование. — 2014. — Т. 36. — № 1. — С. 59–80.
26. Efanov D. V. Using Codes with Summation of Weighted Bits to Organize Checking of Combinational Logical Devices / D. V. Efanov, V. V. Sapozhnikov, Vl. V. Sapozhnikov // Automatic Control and Computer Sciences. — 2019. — Vol. 53. — I. 1. — Pp. 1–11. — DOI: 10.3103/S0146411619010061.
27. Berger J. M. A Note on Error Detection Codes for Asymmetric Channels / J. M. Berger // Information and Control. — 1961. — Vol. 4. — I. 1. — Pp. 68–73. — DOI: 10.1016/S0019-9958(61)80037-5.
28. Berger J. M. A Note on Burst Detection Sum Codes / J. M. Berger // Information and Control. — 1961. — Vol. 4. — I. 2–3. — Pp. 297–299. — DOI: 10.1016/S0019-9958(61)80024-7.
29. Das D. Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits / D. Das, N. A. Touba // Proceedings of 17th IEEE Test Symposium. — California, USA. — 1999. — Pp. 370–376. — DOI: 10.1109/VTEST.1999.766691.
30. Das D. Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes / D. Das, N. A. Touba, M. Seuring, M. Gossel // Proceedings of the IEEE 6th International On-Line Testing Workshop (IOLTW). — Spain, Palma de Mallorca, July 3–5, 2000. — Pp. 171–176. — DOI: 10.1109/OLT.2000.856633.
31. Абдуллаев Р. Б. Свойства полиномиальных кодов в системах функционального контроля комбинационных логических схем / Р. Б. Абдуллаев // Автоматика на транспорте. — 2018. — Т. 4. — № 4. — С. 655–686.
32. Абдуллаев Р. Б. Вероятностные характеристики полиномиальных кодов в системах технического диагностирования / Р. Б. Абдуллаев // Автоматика на транспорте. — 2020. — Т. 6. — № 1. — С. 64–88. — DOI: 10.20295/2412-9186-2020-6-1-64-88.

33. Абдуллаев Р. Б. Полиномиальные коды с обнаружением любых симметричных и асимметричных ошибок в информационных векторах / Р. Б. Абдуллаев // Наука и техника транспорта. — 2020. — № 1. — С. 80–92.
34. Абдуллаев Р. Б. Синтез полностью самопроверяемых схем встроенного контроля на основе полиномиальных кодов для комбинационных логических устройств / Р. Б. Абдуллаев // Автоматика на транспорте. — 2021. — Т. 7. — № 3. — С. 452–476. — DOI: 10.20295/2412-9186-2021-7-3-452-476.
35. Сапожников В. В. Коды Хэмминга в системах функционального контроля логических устройств / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — СПб.: Наука, 2018, 151 с.
36. Tshagharyan G. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications / G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). — Novi Sad, Serbia, September 29 — October 2, 2017. — Pp. 25–28. — DOI: 10.1109/EWDTS.2017.8110065.
37. Сапожников В. В. Коды с суммированием для систем технического диагностирования / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — Т. 2: Взвешенные коды с суммированием. — М.: Наука, 2021. — 455 с.
38. Сапожников В. В. Теория синтеза самопроверяемых цифровых систем на основе кодов с суммированием / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — Санкт-Петербург: Лань, 2021. — 580 с.
39. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Том 1: Классические коды Бергера и их модификации: монография. — М.: Наука, 2020. — 383 с.
40. Мехов В. Б. Контроль комбинационных схем на основе модифицированных кодов с суммированием / В. Б. Мехов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. — 2008. — № 8. — С. 153–165.
41. Efanov D. V. The Weight-Based Sum Codes in the Residue Ring by Arbitrary Modulus for Synthesis of Self-Checking Digital Computing Systems / D. V. Efanov, A. V. Pashukov // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021). — Batumi, Georgia, September 10–13, 2021. — Pp. 170–179. DOI: 10.1109/EWDTS52692.2021.9581032.
42. Пашуков А. В. Исследование особенностей обнаружения ошибок на выходах программируемых логических интегральных схем при функциональном контроле на основе модульных кодов с суммированием / Пашуков А. В. // Автоматика на транспорте. — 2021. — Т. 7. — № 3. — С. 477–495.
43. Пивоваров Д. В. Метод логического дополнения для организации контроля комбинационных устройств в системах мониторинга объектов железнодорожной автоматики: дис. канд. техн. наук / Д. В. Пивоваров. — Петерб. гос. ун-т путей сообщ. — СПб., 2020. — 167 с.

TRANSPORT AUTOMATION RESEARCH, 2022, Vol. 8, No. 1, pp. 101–114  
DOI: 10.20295/2412-9186-2022-8-01-101-114

### Application of Weight-Based Sum Codes at the Synthesis of Circuits for Built-in Control by Boolean Complement Method

#### Information about authors

Pashukov A. V., Senior Lecturer<sup>1</sup>. E-mail: art\_pash@mail.ru

<sup>1</sup> Russian University of Transport (MIIT), Department of Automation, Remote Control and Communication on Railway Transport

**Abstract:** This work considers the application of Boolean complement method for the organization of self-checking circuits of built-in control for the devices synthesized on being Field-Programmable Gate Arrays. Review is given for the application of Boolean complement method while using various noise-resistant codes. The example is demonstrated for control circuit synthesis with Boolean complement method. Algorithm for control system synthesis by Boolean complement method with the use of weight-based sum codes by module  $M$  is formulated. As an example, weighted codes are considered with the summation of weight categories by module  $M=3$  and  $M=4$  for these purposes. The given codes have only two control categories that simplifies their application for task solution on the design of functional diagnostics system by Boolean complement method. The comparative analysis of both codes with their use in the systems with Boolean complement has been pursued. The application of Boolean complement method on the basis of weight-based sum codes for synthesis of discrete devices has been suggested.

**Key words:** Field-Programmable Gate Arrays; self-checking discrete device; self-checking circuit of in-built control; duplication method; Boolean complement; weight-based sum code.

#### References

1. Sapozhnikov V. V., Sapozhnikov V. V., Khristov Kh. A., Gavzov D. V. *Metody postroeniya bezopasnykh mikroelektronnykh sistem zheleznodorozhnoy avtomatiki* [Methods for constructing safe microelectronic systems for railway automation]. Moscow: Transport Publ., 1995. 272 p.
2. Parkhomenko P. P., Sogomonyan E. S. *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Fundamentals of technical

diagnostics (optimization of diagnostic algorithms, hardware)]. Moscow: Energoatomizdat Publ., 1981. 320 p.

3. Sogomonyan E. S., Slabakov E. V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* [Self-checking devices and fault-tolerant systems]. Moscow: Radio i svyaz' Publ., 1989. 208 p.
4. Goessel M., Graf S. *Error Detection Circuits*. — London: McGraw-Hill, 1994. 261 p.
5. Nicolaidis M., Zorian Y. *On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications*. — 1998. — №12. — Pp. 7–20.
6. Piestrak S. J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*. — Wrocław: Oficyna Wydawnicza Politechniki Wroclawskiej, 1995. 111 p.
7. Efanov D., Sapozhnikov V., Sapozhnikov V. I. *Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29 — October 2, 2017, pp. 365–371, doi: 10.1109/EWDTS.2017.8110126.
8. Busaba F. Y., Lala P. K. *Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications*. — 1994. — I. 1. — Pp. 19–28. — DOI: 10.1007/BF00971960.
9. Morosov A., Sapozhnikov V. V., Sapozhnikov V. I., Goessel M. *Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design*. — 1998. — Vol. 5. — I. 4. — Pp. 333–345. — DOI: 10.1155/1998/20389.
10. Gessel' M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov V. I. *Logicheskoe do-polnenie — novyy metod kontrolya kombinatsionnykh skhem [Logical addition - a new method of control of combinational circuits]. Avtomatika i telemekhanika [Automation and Telemekhanics]*. 2003, I, 1, pp. 167–176.
11. Sapozhnikov V. I., Dmitriev A., Goessel M., Sapozhnikov V. V. *Self-Dual Parity Checking — a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996*, pp. 162–168.
12. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*. — Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
13. Efanov D., Sapozhnikov V., Sapozhnikov V. I., Osadchy G., Pivovarov D. *Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143, doi: 10.1109/EWDTS.2019.8884398.
14. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. I., Pivovarov D. V. *The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the «1-out-of-m» Constant-Weight Code // Automatic Control*

- and Computer Sciences. — 2020. — Vol. 54. — I. 2. — Pp. 89-99. — DOI: 10.3103/S0146411620020042.
15. Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012, pp. 33–40.
  16. Sapozhnikov V. V., Sapozhnikov V. V., Dmitriev A. V., Morozov A. V., Gessel' M. Organizatsiya funktsional'nogo kontrolya kombinatsionnykh skhem metodom logicheskogo do-polneniya [Organization of functional control of combinational circuits by the method of logical addition]. *Elektronnoe modelirovanie* [Elektronnoe modelirovanie]. 2002, V. 24, I. 6, pp. 52–66.
  17. Morozov A., Sapozhnikov V. V., Sapozhnikov V. V., Goessel M. New Self-checking Circuits by Use of Berger-codes // 6-th IEEE Int. On-line Testing Workshop. Palma de Mallorca, Spain. 2000 pp. 141–146.
  18. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Postroenie samoproveryaemykh struktur sistem funktsional'nogo kontrolya na osnove ravnovesnogo koda «2 iz 4» [Construction of self-checking structures of functional control systems based on the equilibrium code «2 out of 4»]. *Problemy upravleniya* [Control Problems]. 2017, I. 1, pp. 57–64.
  19. Efanov D., Osadchy G., Zueva M. Special Aspects of Errors Definition via Sum Codes within Embedded Control Schemas Being Realized by Means of Boolean Complement Method // Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021), Vol. 1, Cracow, Poland, September 22–25, 2021, pp. 424–431.
  20. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. The Self-Checking Concurrent Error-Detection Systems Synthesis Based on the Boolean Complement to the Bose-Lin Codes with the Modulo Value  $M=4$  // Electronic Modeling. — 2021. — Vol. 43. — I. 1. — Pp. 28–45. — DOI: 10.15407/emodel.43.01.028.
  21. Efanov D. V., Osadchy G. V., Zueva M. V. Kody Bergera v skhemakh vstroennogo kontrolya, realizovannykh na osnove metoda logicheskogo dopolneniya [Berger codes in built-in control circuits implemented on the basis of the logical complement method]. *Informatika i sistemy upravleniya* [Informatics and control systems]. 2021, I. 1, pp. 75–89. — DOI: 10.22250/isu.2021.67.75-89.
  22. Efanov D. V., Zueva M. V. Logicheskoe dopolnenie do modul'nykh kodov s summirovaniem dlya sinteza skhem vstroennogo kontrolya kombinatsionnykh ustroystv avtomatiki i vychislitel'noy tekhniki [Logical addition to modular codes with summation for the synthesis of built-in control circuits for combinational devices in automation and computer technology]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of promising micro- and nanoelectronic systems (MES)]. 2021, I. 1, pp. 52–60. — DOI: 10.31114/2078-7707-2021-1-52-60.
  23. Efanov D. V., Osadchy G. V., Zueva M. V. Osobennosti obnaruzheniya oshibok ko-dami s summirovaniem edinichnykh informatsionnykh razryadov v kol'tse vychetov po zadanno-mu modulyu v skhemakh vstroennogo kontrolya, sintezirovannykh na osnove metoda logicheskogo dopolneniya [Features of error detection by codes with the summation of single information digits in the ring of residues according to a given modulus in built-in control circuits synthesized based on the logical complement method]. *Avtomatika na transporte* [Automation on transport]. 2021, V. 7, I. 2, pp. 284-314. — DOI: 10.20295/2412-9186-2021-7-2-284-314.
  24. Efanov D., Osadchy G., Zueva M. Specifics of Error Detection with Modular Sum Codes in Concurrent Error-Detection Circuits Based on Boolean Complement Method // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10–13, 2021, pp. 59–69, doi: 10.1109/EWDTS52692.2021.9581036.
  25. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Vzveshennyye kody s summirovaniem dlya organizatsii kontrolya logicheskikh ustroystv [Weighted codes with summation for organizing the control of logical devices]. *Elektronnoe modelirovanie* [Electronic modeling]. 2014, V. 36, I. 1, pp. 59–80.
  26. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. Using Codes with Summation of Weighted Bits to Organize Checking of Combinational Logical Devices // Automatic Control and Computer Sciences. — 2019. — Vol. 53. — I. 1. — Pp. 1–11. — DOI: 10.3103/S0146411619010061.
  27. Berger J. M. A Note on Error Detection Codes for Asymmetric Channels // Information and Control. — 1961. — Vol. 4. — I. 1. — Pp. 68–73. — DOI: 10.1016/S0019-9958(61)80037-5.
  28. Berger J. M. A Note on Burst Detection Sum Codes // Information and Control. — 1961. — Vol. 4. — I. 2-3. — Pp. 297–299. — DOI: 10.1016/S0019-9958(61)80024-7.
  29. Das D., Touba N. A. Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits // Proceedings of 17th IEEE Test Symposium, California, USA, 1999, pp. 370–376, doi: 10.1109/VTEST.1999.766691.
  30. Das D., Touba N. A., Seuring M., Gossel M. Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proceedings of the IEEE 6th International On-Line Testing Workshop (IOLTW), Spain, Palma de Mallorca, July 3–5, 2000, pp. 171–176, doi: 10.1109/OLT.2000.856633
  31. Abdullaev R. B. Svoystva polinomial'nykh kodov v sistemakh funktsional'nogo kontrolya kombinatsionnykh logicheskikh skhem [Properties of polynomial codes in functional control systems for combinational logic circuits]. *Avtomatika na transporte* [Automation on transport]. 2018, V. 4, I. 4, pp. 655–686.
  32. Abdullaev R. B. Veroyatnostnyye kharakteristiki polinomial'nykh kodov v si-stemakh tekhnicheskogo diagnostirovaniya [Probabilistic characteristics of polynomial codes in systems of technical diagnostics]. *Avtomatika na transporte* [Automation on transport]. 2020, V. 6, I. 1, pp. 64–88. — DOI: 10.20295/2412-9186-2020-6-1-64-88.
  33. Abdullaev R. B. Polinomial'nye kody s obnaruzheniem lyubyykh simmetrichnykh i asimmetrichnykh oshibok v informatsionnykh vektorakh [Polynomial codes with detection of any symmetric and asymmetric errors in information vectors]. *Nauka i tekhnika transporta* [Science and technology of transport]. 2020, I. 1, pp. 80–92.
  34. Abdullaev R. B. Sintez polnost'yu samoproveryaemykh skhem vstroennogo kontrolya na osnove polinomial'nykh kodov dlya kombinatsionnykh logicheskikh ustroystv [Synthesis of fully self-checking built-in control schemes based on polynomial codes for combinational logic devices]. *Avtomatika na transporte* [Automation on transport]. 2021, V. 7, I. 3, pp. 452–476. — DOI: 10.20295/2412-9186-2021-7-3-452-476.
  35. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv [Hamming codes in functional control systems for logical devices]. St. Petersburg: Nauka Publ., 2018. 151 p.
  36. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 — October 2, 2017, pp. 25–28, doi: 10.1109/EWDTS.2017.8110065.
  37. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya [Summation codes for technical diagnostic systems]. *Vzveshennyye kody s summirovaniem* [Weighted Summation Codes]. Moscow: Nauka Publ., 2021, 455 p.
  38. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Teoriya sinteza samoproveryaemykh tsifrovyykh sistem na osnove kodov s summirovaniem [Theory of synthesis of self-checking digital systems based on codes with summation]. St. Petersburg: «Lan» Publ., 2021. 580 p.
  39. Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V. Kody s summirovaniem dlya sistem tekhnicheskogo diagnostirovaniya [Codes with summation for systems of technical diagnostics]. *Klassicheskie kody Bergera i ikh modifikatsii* [Classical Berger codes and their modifications]. Moscow: Nauka Publ., 2020, V. 1, 383 p.
  40. Mekhov V. B., Sapozhnikov V. V., Sapozhnikov V. V. Kontrol' kombinatsionnykh skhem na osnove modifitsirovannykh kodov s summirovaniem [Control of combinational circuits based on modified codes with summation]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2008, I. 8, pp. 153–165.
  41. Efanov D. V., Pashukov A. V. The Weight-Based Sum Codes in the Residue Ring by Arbitrary Modulus for Synthesis of Self-Checking Digital Computing Systems // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10–13, 2021, pp. 170–179, doi: 10.1109/EWDTS52692.2021.9581032.
  42. Pashukov A. V. Issledovanie osobennostey obnaruzheniya oshibok na vykhodakh programmiruemykh logicheskikh integral'nykh skhem pri funktsional'nom kontrole na osnove modul'nykh kodov s summirovaniem [Study of the features of error detection at the outputs of programmable logic integrated circuits in functional control based on modular codes with summation]. *Avtomatika na transporte* [Automation on transport]. 2021, V. 7, I. 3, pp. 477–495.
  43. Pivovarov D. V. Metod logicheskogo dopolneniya dlya organizatsii kontrolya kombinatsionnykh ustroystv v sistemakh monitoringa ob'ektov zheleznodorozhnoy avtomatiki. Kand. Diss [The method of logical addition for the organization of control of combinational devices in the monitoring systems of objects of railway automatics. Cand. Diss]. St. Petersburg, 2020. 167 p.